

INTERNATIONAL STANDARD

NORME INTERNATIONALE



EMC IC modelling –

Part 2: Models of integrated circuits for EMI behavioural simulation – Conducted emissions modelling (ICEM-CE)

Modèles de circuits intégrés pour la CEM –

Partie 2: Modèles de circuits intégrés pour la simulation du comportement lors de perturbations électromagnétiques – Modélisation des émissions conduites (ICEM-CE)



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2008 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,...).

It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,...).

Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



EMC IC modelling –

Part 2: Models of integrated circuits for EMI behavioural simulation – Conducted emissions modelling (ICEM-CE)

Modèles de circuits intégrés pour la CEM –

Partie 2: Modèles de circuits intégrés pour la simulation du comportement lors de perturbations électromagnétiques – Modélisation des émissions conduites (ICEM-CE)

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX



ICS 31.200

ISBN 978-2-83220-593-8

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

CONTENTS

FOREWORD.....	5
1 Scope	7
2 Normative references	7
3 Terms and definitions	7
4 Philosophy	8
4.1 General.....	8
4.2 Conducted emission from core activity (digital culprit).....	8
4.3 Conducted emission from I/O activity	9
5 Basic components	9
5.1 General.....	9
5.2 Internal Activity (IA)	9
5.3 Passive Distribution Network (PDN)	10
6 IC macro-models	12
6.1 General.....	12
6.2 General IC macro-model.....	12
6.3 Block-based IC macro-model	13
6.3.1 Block component	13
6.3.2 Inter-Block Coupling component (IBC).....	14
6.3.3 Block-based IC macro-model structure	15
6.4 Sub-model-based IC macro-model.....	17
6.4.1 Sub-model component	17
6.4.2 Sub-model-based IC macro-model structure	18
7 Requirements for parameter extraction.....	19
7.1 General.....	19
7.2 Environmental extraction constraints.....	19
7.3 IA parameter extraction	19
7.4 PDN parameter extraction.....	19
7.5 IBC parameter extraction	19
Annex A (informative) Model parameter generation.....	20
Annex B (informative) Decoupling capacitors optimization	38
Annex C (informative) Conducted emission prediction.....	40
Annex D (informative) Conducted emission prediction at PCB level.....	41
Bibliography	43
Figure 1 – Decomposition example of a digital IC for conducted emissions analysis	8
Figure 2 – IA component.....	9
Figure 3 – Example of IA characteristics in time domain	10
Figure 4 – Example of IA characteristics in frequency domain	10
Figure 5 – Example of a four-terminal PDN using lumped elements.....	11
Figure 6 – Example of a seven-terminal PDN using distributed elements.....	11
Figure 7 – Example of a twelve-terminal PDN using matrix representation.....	12
Figure 8 – General IC macro-model.....	13
Figure 9 – Example of block component	13
Figure 10 – Example of block components for I/Os	14

Figure 11 – Example of IBC with two internal terminals	15
Figure 12 – Relationship between blocks and IBC	15
Figure 13 – Block-based IC macro-model	16
Figure 14 – Example of block-based IC macro-model	17
Figure 15 – Example of simple sub-model	18
Figure 16 – Sub-model-based IC macro-model	18
Figure A.1 – Typical characterization current gate schematic	22
Figure A.2 – Current peak during switching transition	22
Figure A.3 – Example of IA extraction procedure from design	23
Figure A.4 – Technology Influence	23
Figure A.5 – Final current waveform for a program period	24
Figure A.6 – Comparison between measurement and simulation	24
Figure A.7 – Lumped element model of a package	25
Figure A.8 – Circuit structure of the netlist	26
Figure A.9 – Principle of the IA computation	27
Figure A.10 – Process involved to model $i_A(t)$	27
Figure A.11 – $i_{Ext}(t)$ measured using IEC 61967-4	28
Figure A.12 – $i_A(t)$ and $i_{Ext}(t)$ profiles	28
Figure A.13 – Example of a hardware set-up used to extract the PDN parameters	30
Figure A.14 – Miniature 50 Ω coaxial connectors	30
Figure A.15 – Impedance probe using two miniature coaxial connectors	31
Figure A.16 – Open and short terminations	31
Figure A.17 – Measurement probe model	31
Figure A.18 – De-embedding principle	32
Figure A.19 – Example of a predefined PDN structure	33
Figure A.20 – RL configuration	34
Figure A.21 – RLC configuration	34
Figure A.22 – RLC with magnetic coupling configuration	35
Figure A.23 – Impedance seen from Vcc and Gnd	35
Figure A.24 – Complete PDN component	36
Figure A.25 – Set-up for correlation (left), measurement and prediction (right)	37
Figure A.26 – Set-up used to measure the internal decoupling capacitor	37
Figure B.1 – Equivalent schematic of the complete electronic system	38
Figure B.2 – Impedance prediction and measurements	39
Figure C.1 – IEC 61967-4 test set-up standard	40
Figure C.2 – Comparison between prediction and measurement	40
Figure D.1 – Prediction of the Vd _{cc} noise level at PCB level	41
Figure D.2 – Good agreements on the noise envelope	42

Table A.1 – Typical parameters for CMOS logic technologies	20
Table A.2 – Typical number of logic gates vs. CPU technology	21
Table A.3 – R, L and C parameters for various package types	21
Table A.4 – Measurement configurations and extracted RLC parameters	33

IECNORM.COM: Click to view the full PDF of IEC 62433-2:2008

INTERNATIONAL ELECTROTECHNICAL COMMISSION

EMC IC MODELLING –

**Part 2: Models of integrated circuits for EMI behavioural simulation –
Conducted emissions modelling (ICEM-CE)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62433-2 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

This bilingual version (2013-01) corresponds to the monolingual English version, published in 2008-10.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/794/FDIS	47A/799/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The French version of this standard has not been voted upon.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all the parts in the IEC 62433 series, under the general title *EMC IC modelling*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the maintenance result date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The “colour inside” logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this publication using a colour printer.

EMC IC MODELLING –

Part 2: Models of integrated circuits for EMI behavioural simulation – Conducted emissions modelling (ICEM-CE)

1 Scope

This part of IEC 62433 specifies macro-models for ICs to simulate conducted electromagnetic emissions on a printed circuit board. The model is commonly called Integrated Circuit Emission Model - Conducted Emission (ICEM-CE).

The ICEM-CE model can also be used for modelling an IC-die, a functional block and an Intellectual Property block (IP).

The ICEM-CE model can be used to model both digital and analogue ICs.

Basically, conducted emissions have two origins:

- conducted emissions through power supply terminals and ground reference structures;
- conducted emissions through input/output (I/O) terminals.

The ICEM-CE model addresses those two types of origins in a single approach.

This standard defines structures and components of the macro-model for EMI simulation taking into account the IC's internal activities.

This standard gives general data, which can be implemented in different formats or languages such as IBIS, IMIC, SPICE, VHDL-AMS and Verilog. SPICE is however chosen as default simulation environment to cover all the conducted emissions.

This standard also specifies requirements for information that shall be incorporated in each ICEM-CE model or component part of the model for model circulation, but description syntax is not within the scope of this standard.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61967 (all parts), *Integrated Circuits – Measurement of electromagnetic emissions, 150 KHz to 1 GHz*

IEC 61967-4, *Integrated circuits – Measurement of electromagnetic emissions, 150 kHz to 1 GHz – Part 4: Measurement of conducted emissions – 1 Ω /150 Ω direct coupling method*

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

3.1 external terminal

terminal of an IC macro-model, which interfaces the model to the external environment of the IC, such as power supply pins and I/O pins

NOTE In this document, the name of each external terminal starts with "ET".

3.2 internal terminal

terminal of an IC macro-model's component, which interfaces the component to other components of the IC macro-model

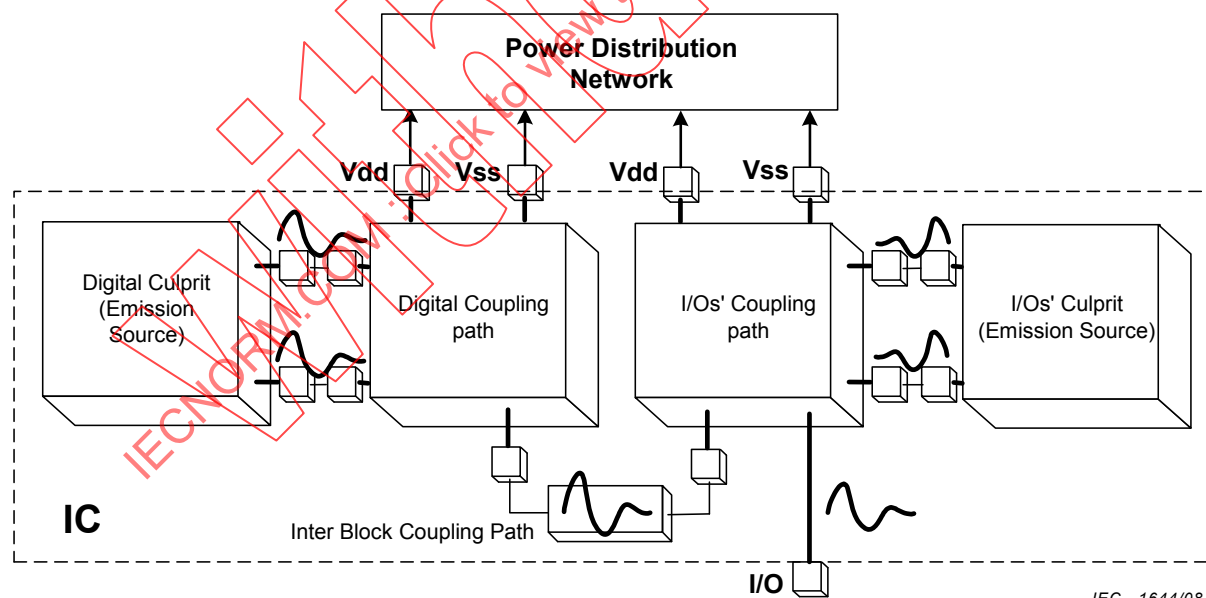
NOTE In this document, the name of each internal terminal starts with "IT".

4 Philosophy

4.1 General

Integrated circuits will have more and more gates on silicon and technical progress will develop faster. To predict the electromagnetic behaviour of equipment, it is required to model the switching of the input and output interface and the internal activities of an integrated circuit effectively.

Figure 1 depicts an example of decomposition of an IC to enable conducted emissions analysis. The internal digital activity (culprit) is a source of electromagnetic noise that originates in switching of active devices. The coupling path propagates the emissions to the IC's external terminals: pins/pads. The coupling path is the power distribution network or I/O lines inside the IC.



IEC 1644/08

Figure 1 – Decomposition example of a digital IC for conducted emissions analysis

4.2 Conducted emission from core activity (digital culprit)

The current transients are created in the core area on the IC-die. Due to the characteristics of the digital coupling paths, the passive distribution network on printed circuit board (PCB) and the availability of on-chip decoupling, a portion of these current transients will occur at the power supply pins of the IC.

NOTE These off-chip power supply currents can be measured according to the IEC 61967 series.

4.3 Conducted emission from I/O activity

I/Os activities may create voltage fluctuations of power and ground levels, and conducted emissions appear at power and ground pins through the I/Os' coupling path. And the output signals at output pins themselves are sources of conducted emissions to the printed circuit boards.

NOTE The measurement set-up is done according to the IEC 61967 series.

5 Basic components

5.1 General

The basic components are component parts of the IC macro-model or block component or sub-model component. The following subclauses define the basic components.

NOTE The block component and the sub-model component are defined in 6.3.1 and 6.4.1 respectively.

5.2 Internal Activity (IA)

The Internal Activity (IA) component is the electromagnetic noise source that originates in switching of active devices in the IC or in a portion of the IC. This component is applicable for both analogue and digital circuitry.

The IA is described using an independent current source or an independent voltage source with two internal terminals as shown in Figure 2.

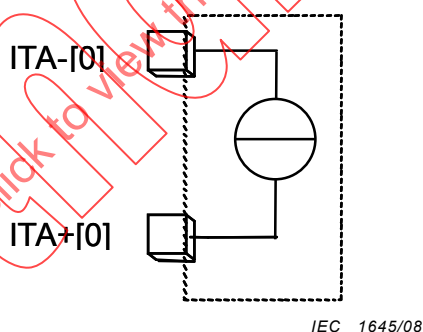


Figure 2 – IA component

The characteristics of IA component are typically described in the time domain, and the characteristics can also be described in the frequency domain.

The description of an IA component shall contain the following information.

- Name of the IA component
- Names of its internal terminals
- Operational mode or test vector
- Domain (time or frequency)
- Definition of origin of time, and cycle-time for the operational mode (for time domain)
- Definition of origin of phase (for frequency domain)
- Operational conditions and applicable ranges
 - a) Power supply voltage ranges
 - b) Temperature range

- c) Frequency range
- Characteristics of the IA
 - a) Current or voltage waveform over the whole cycle-time (for time domain)
 - b) Current or voltage amplitude and phase, versus frequency over the whole frequency range (for frequency domain)

EXAMPLE 1

Figure 3 shows an example of characteristics of IA in the time domain. The waveform depends on the specific operational mode of function. A simple waveform such as a triangular waveform can be used for the component description.

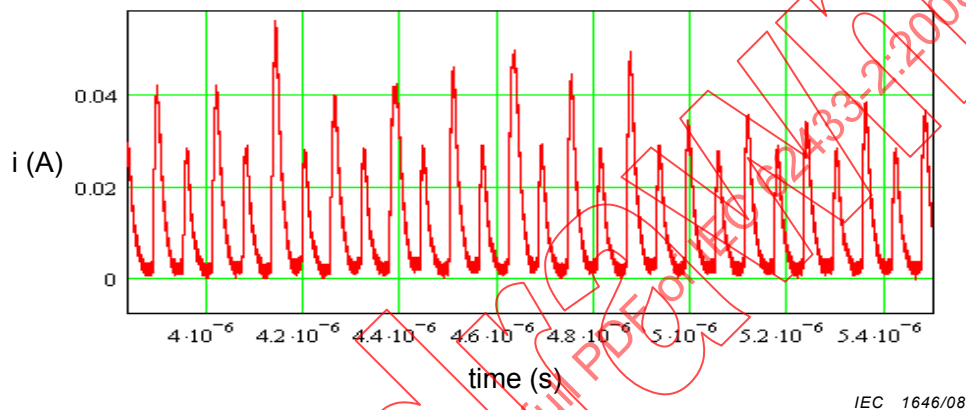


Figure 3 – Example of IA characteristics in the time domain

EXAMPLE 2

Figure 4 shows an example of characteristics of IA in the frequency domain.

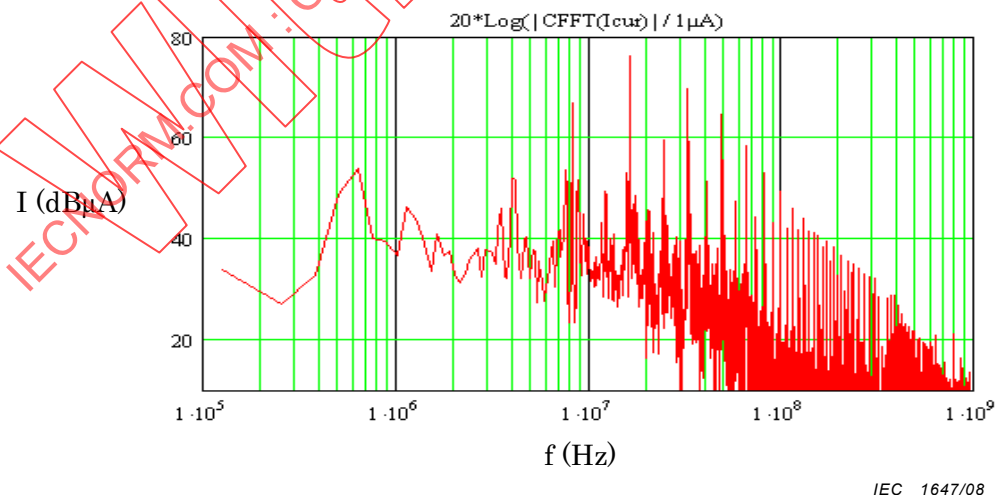


Figure 4 – Example of IA characteristics in the frequency domain

5.3 Passive Distribution Network (PDN)

The Passive Distribution Network component (PDN) presents the characteristics of propagation path of electromagnetic noises such as power distribution network (part of the PDN). The PDN can be linear or non-linear.

The PDN consists of passive elements, and is equipped with internal terminals. And the PDN can have external terminals.

The PDN can be described using a netlist. In the case the PDN can be assumed to be linear, some matrix formats such as the S-parameter can also present the PDN characteristics.

The description of a PDN component shall contain the following information.

- Name of the PDN component
- Names of its internal terminals and external terminals
- Applicable ranges
 - a) Power supply voltage range
 - b) Temperature range
 - c) Applicable load conditions if the PDN is for output
 - d) Applicable frequency range
- Characteristics of the PDN

EXAMPLE 1

Figure 5 shows an example of a four-terminal PDN using lumped elements. The ETVdd and ETVss are two external terminals of the PDN. The IT[1] and the IT[0] are two internal terminals.

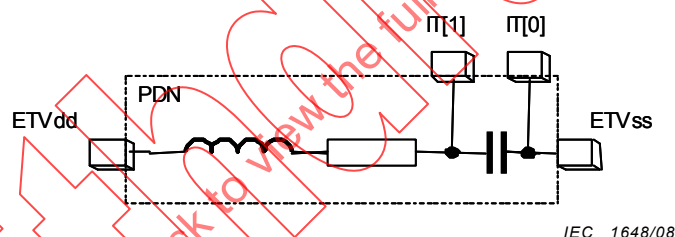


Figure 5 – Example of a four-terminal PDN using lumped elements

EXAMPLE 2

Figure 6 depicts the seven-terminal PDN structure using distributed elements such as transmission lines. The ETVxx are the four external terminals, the ITVxx are two internal terminals and the ETGnd is the common ground of the four transmission lines, connected to the PCB ground.

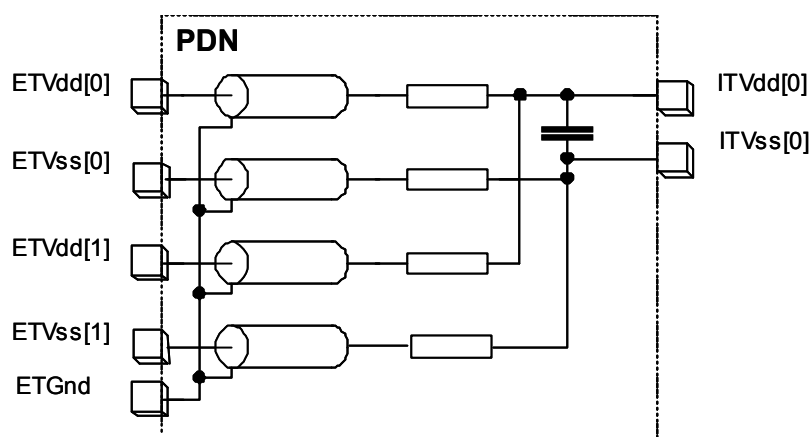


Figure 6 – Example of a seven-terminal PDN using distributed elements

EXAMPLE 3

Figure 7 shows an example of a twelve-terminal PDN using scattering parameters in a matrix format (black box). The ET[x] are external terminals. The IT[1] to IT[6] are internal terminals. A ground plane below the modelled IC is taken as an ideal reference ground for these terminals.

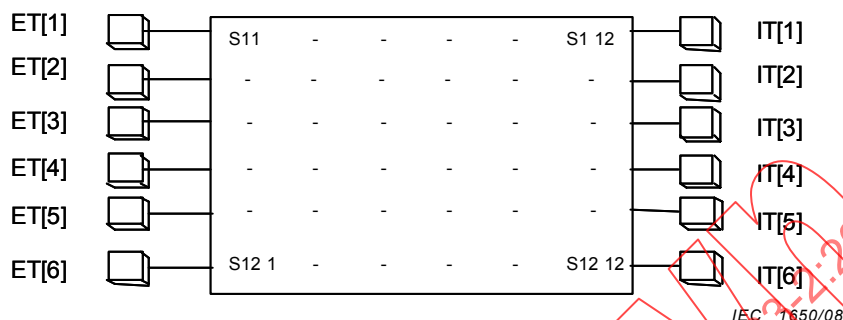


Figure 7 – Example of a twelve-terminal PDN using matrix representation

6 IC macro-models

6.1 General

An IC is modelled as an IC macro-model. Three types of IC macro-models, general model, block-based model and sub-model-based model, are possible. These IC macro-models are defined in this subclause.

The description of an IC macro-model shall contain the following information for model circulation.

- Name of the IC macro-model
- Type of the model, general model or block-based model or sub-model-based model
- Names of components that are included in the IC macro-model
- Names of its external terminals
- Connections of the internal terminals of its components

6.2 General IC macro-model

The general model consists of a single PDN and one or more IAs as shown in Figure 8. The PDN shall include both the whole PDN on the IC die(s) and the whole PDN of the package. An on-chip decoupling capacitor shall also be included in the PDN if it exists.

NOTE This structure is suitable for the model circulation to IC users because of the least disclosure of proprietary information of the IC vendor.

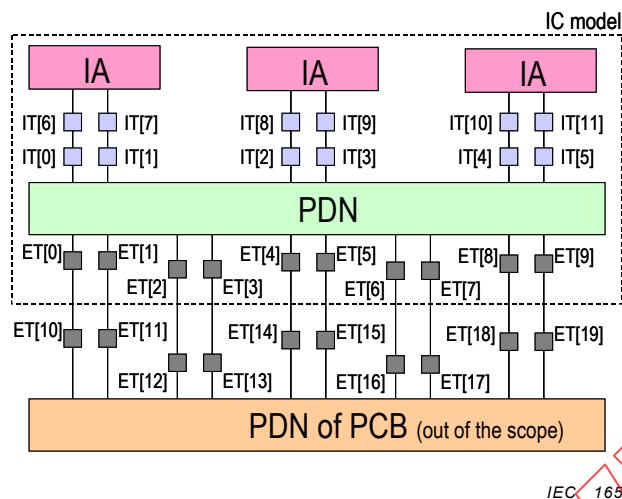


Figure 8 – General IC macro-model

6.3 Block-based IC macro-model

6.3.1 Block component

The block component represents EMC properties of a specific functional block of IC such as embedded memory.

The block component consists of a single PDN and one or more IAs. The PDN includes PDN of the specific functional block, a portion of global power/ground network and a portion of package PDN, which are directly involved into the block's functionality. The on-chip decoupling capacitor is a part of the PDN. The component is equipped with external terminals and internal terminals.

The description of a block component shall include the following information.

- Name of the block component
- Names of the basic components that make up the block component
- Connections of the internal terminals of its basic components

EXAMPLE 1

Figure 9 shows an example of block component. The block consists of an IA and a PDN. The internal terminals of the IA are connected to the internal terminals of the PDN.

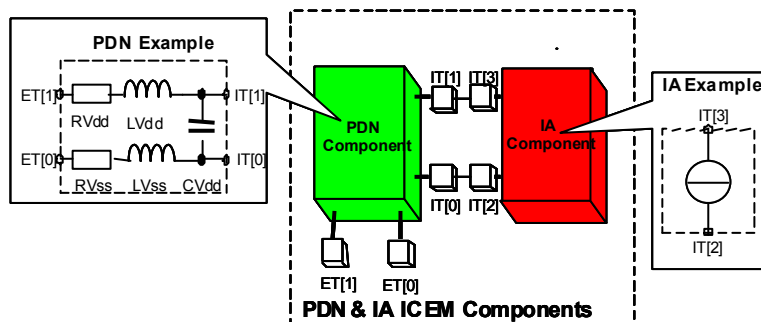
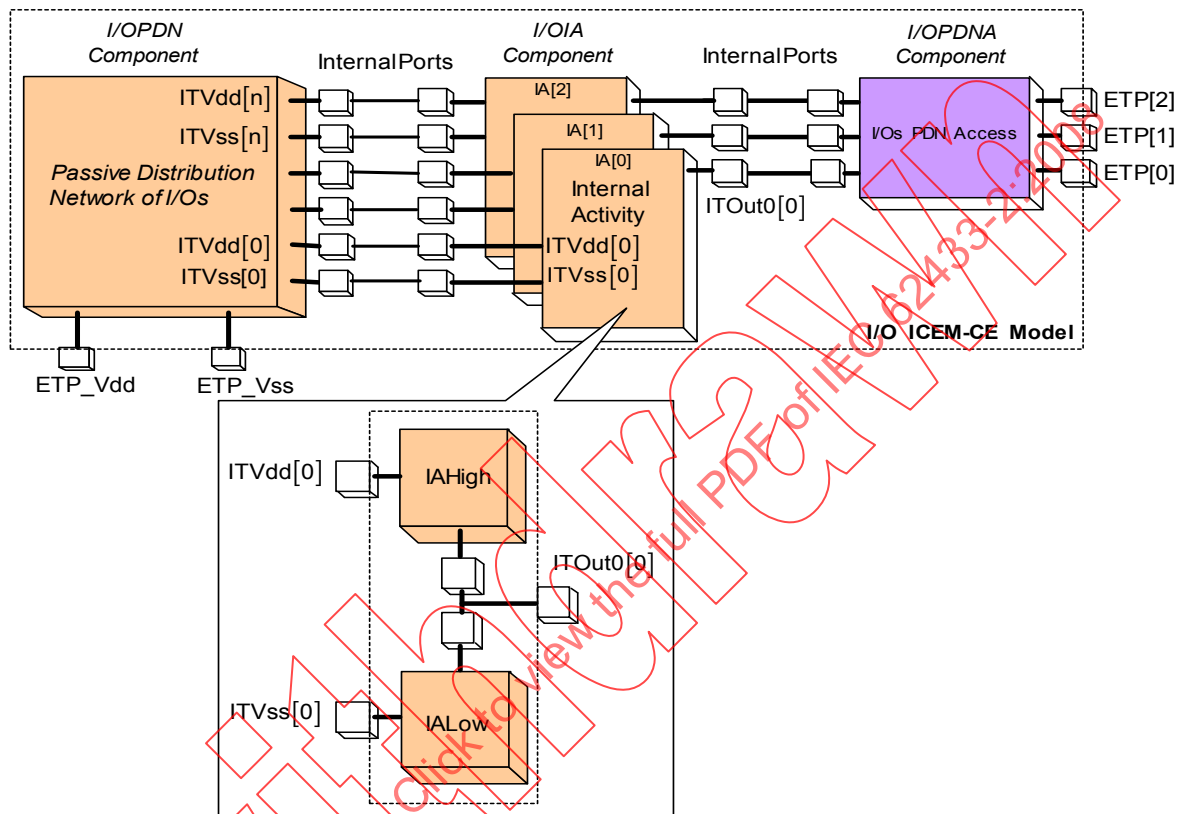


Figure 9 – Example of block component

EXAMPLE 2

Figure 10 depicts a three I/Os model. The I/OPDN component describes how I/Os are powered and the I/OPDNA describes noise transfer characteristics among terminals. The I/OIA components describe the current activity. They are built up using two IA components; one to specify the high state behaviour and the other one to specify the low state. Figure 10 shows the two types of I/O PDN components of the complete I/O model. The IBIS model could be an implementation example.



IEC 1653/08

Figure 10 – Example of block components for I/Os

6.3.2 Inter-Block Coupling component (IBC)

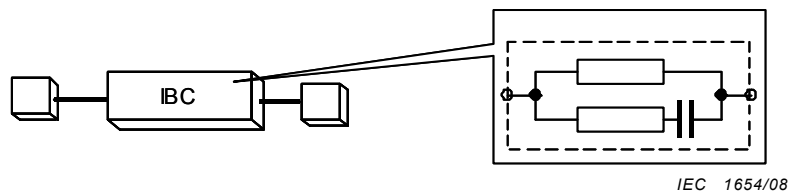
The Inter-Block Coupling (IBC) is a network of passive elements that presents a coupling effect between blocks. The IBC is equipped with two or more internal terminals.

The description of an IBC component shall contain the following information.

- Name of the IBC
- Names of its internal terminals
- Applicable ranges
 - a) Power supply voltage ranges
 - b) Temperature range
 - c) Applicable frequency range
- Characteristics of the IBC

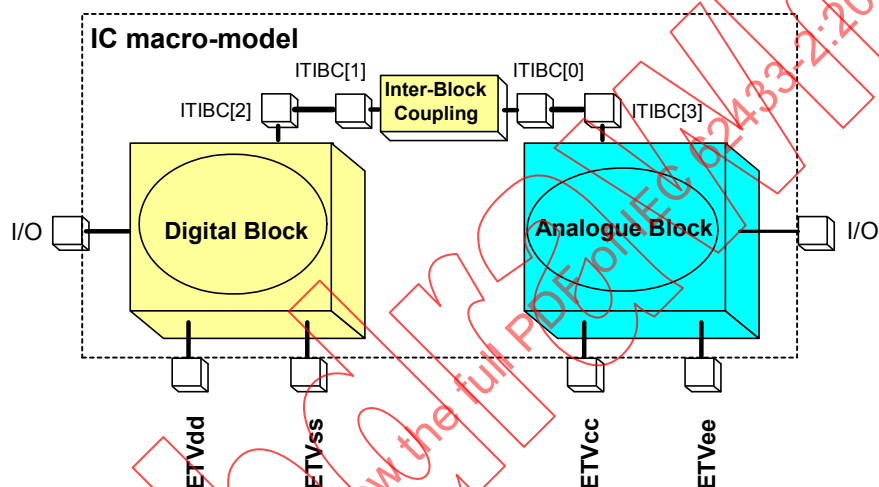
EXAMPLE

Figure 11 shows an example of IBC. The relationship between the block and the IBC is shown in Figure 12.



IEC 1654/08

Figure 11 – Example of IBC with two internal terminals



IEC 1655/08

Figure 12 – Relationship between blocks and IBC

6.3.3 Block-based IC macro-model structure

The block-based structure is shown in Figure 13. The model consists of block components and IBC components. The PDN of global wiring on die and the PDN on package are incorporated into the PDNs of blocks.

NOTE 1 This structure is suitable for modelling from measurements.

NOTE 2 By combining PDNs of block and IBCs, this structure can be converted into general structure.

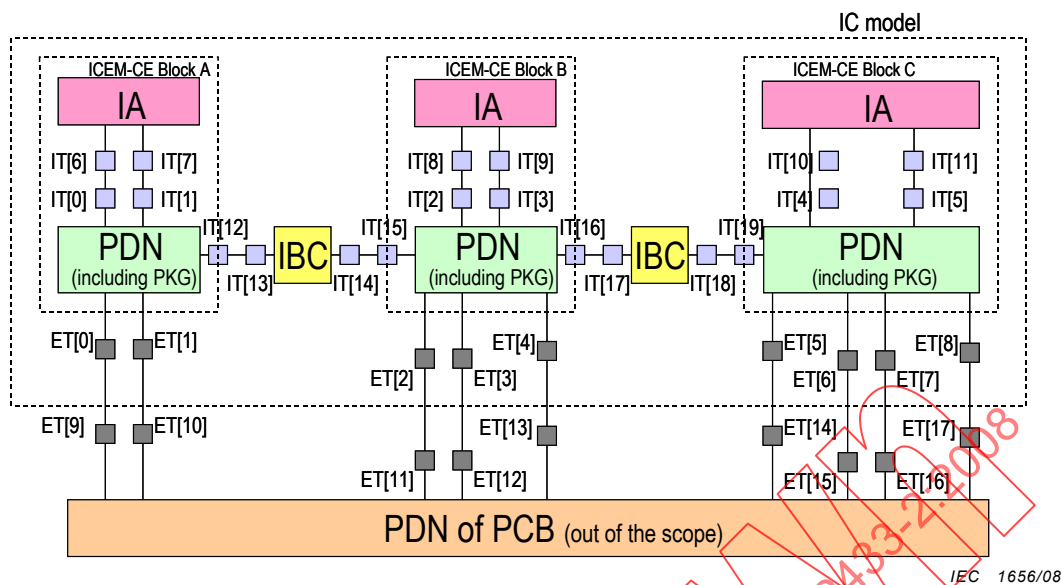
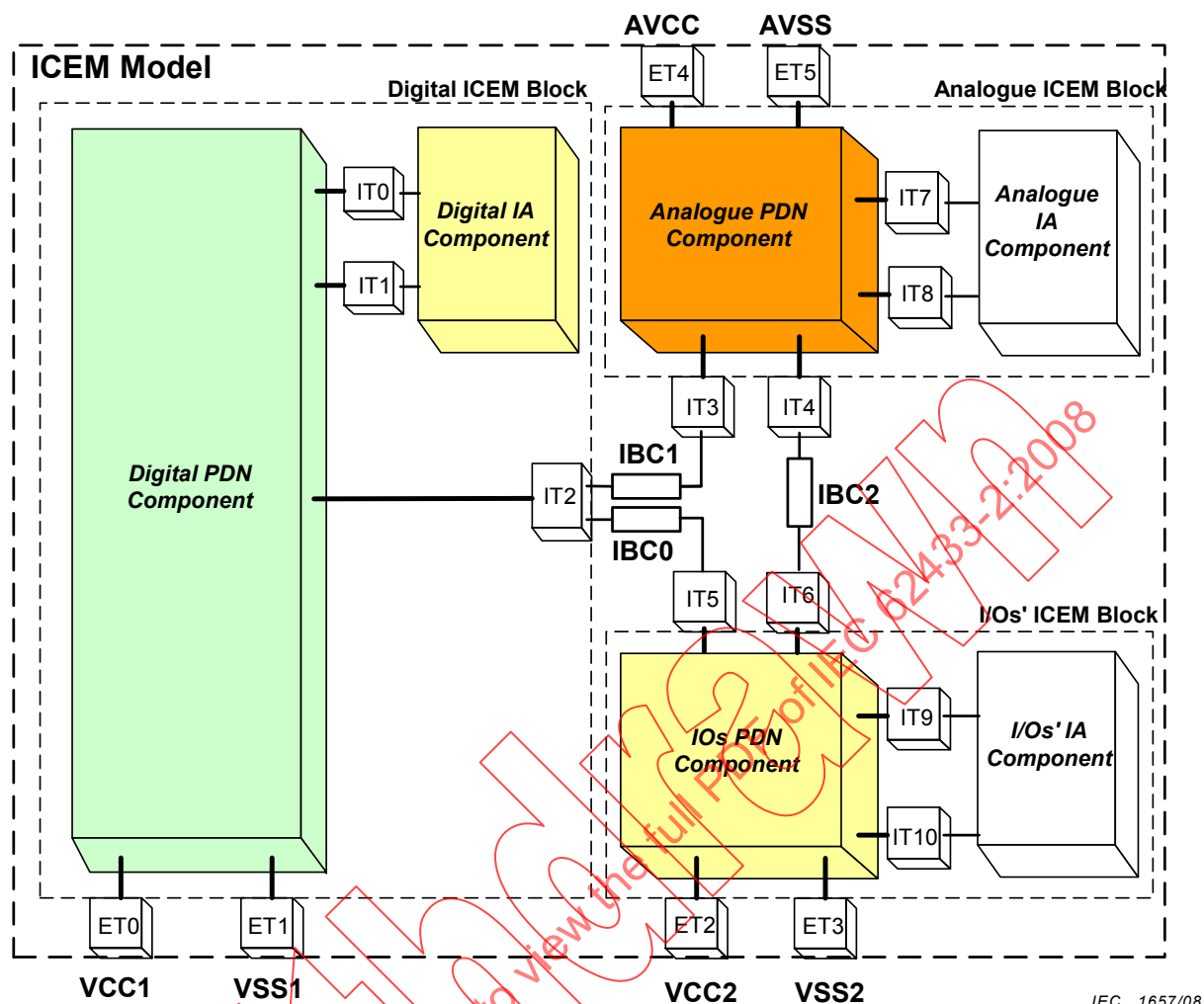


Figure 13 – Block-based IC macro-model

EXAMPLE

Figure 14 depicts an example of block-based IC macro-model. Each block has two external terminals and three internal terminals. Three IBC blocks interconnect the internal terminals, IT2, IT3, IT4, IT5 and IT6. In this example, IBCs are used to model the substrate coupling caused by the sheet resistance between the three internal ground terminals.



IEC 1657/08

Figure 14 – Example of block-based IC macro-model

6.4 Sub-model-based IC macro-model

6.4.1 Sub-model component

The sub-model in Figure 16 represents the electromagnetic behaviour of specific functional circuits of IC. An intellectual property (IP) shall be modelled as a sub-model, and some specific functional circuits such as embedded memory and CPU core can be modelled using the sub-model. The sub-model can be repeatedly used in the IC and/or other ICs.

The sub-model consists of a single PDN and one or more IAs. This PDN is a PDN of the specific functional circuits. The sub-model is equipped with internal terminals but does not have any external terminals.

The sub-model description shall contain the following information.

- Name of the sub-model
- Names of its internal terminals
- Names of the basic components that are included in the sub-model
- Connections of the internal terminals of basic components

EXAMPLE

Figure 15 shows a simple sub-model example.

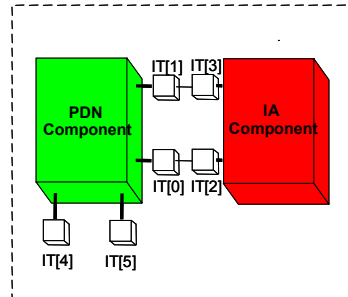


Figure 15 – Example of simple sub-model

6.4.2 Sub-model-based IC macro-model structure

The sub-model-based structure is shown in Figure 16. It consists of one or more sub-models, a PDN of die, and a PDN of package. The PDN of die includes the global power/ground network of IC die and the on-chip decoupling capacitor if it exists, but does not include PDNs that belong to sub-models. Some IAs such as IAs for standard cell circuits can be directly connected to the PDN of die (not shown in the figure).

NOTE 1 This structure is suitable for modelling using IC design information.

NOTE 2 By combining PDNs of the whole IC macro-model, a sub-model-based IC macro-model can be converted into a general IC macro-model.

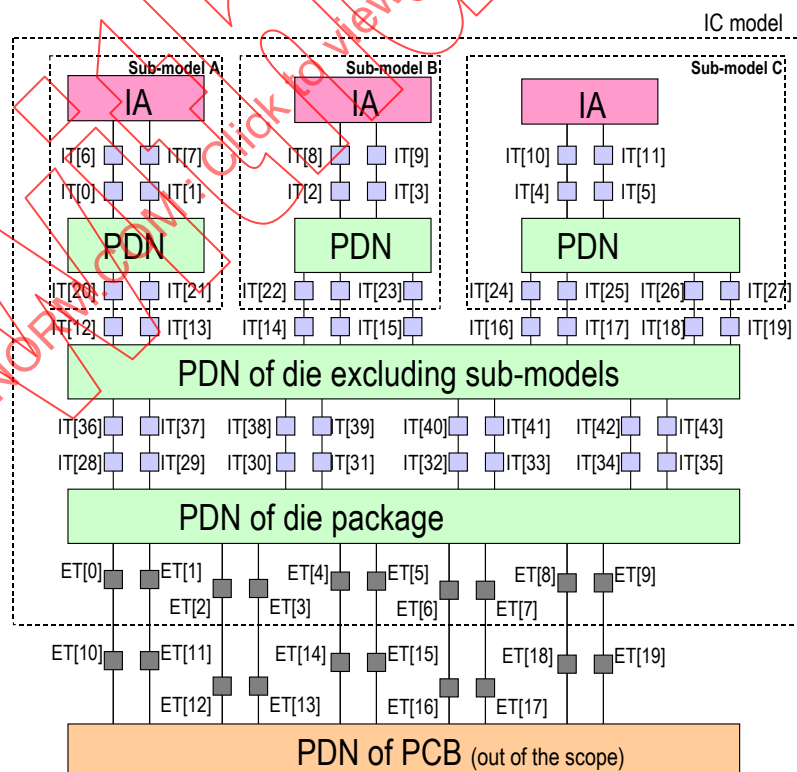


Figure 16 – Sub-model-based IC macro-model

7 Requirements for parameter extraction

7.1 General

ICEM-CE model parameters can be extracted from either design information or measurements. Detailed methodology for model parameter extractions are not the purpose of this standard. This clause gives basic requirements for model parameter extractions from measurements.

NOTE Annex A gives examples of parameter extractions from design information and from measurements.

7.2 Environmental extraction constraints

The ICEM macro-model parameter extractions have to be performed under normal room temperature conditions: $23\text{ °C} \pm 5\text{ °C}$. There are no additional requirements on air pressure and humidity.

When open silicon is used, the lights shall be dimmed or switched off in order not to generate photonic effects.

NOTE Some substrate materials are hygroscopic which might affect the permittivity of the material and its loss tangent.

7.3 IA parameter extraction

IA can be derived by design data or by calculating by measurements under the following conditions:

- Nominal power supply voltages and typical loadings shall be applied to the device under test.
- Input signals such as specific test vector which correspond to the specific operational mode shall be applied.

7.4 PDN parameter extraction

The PDN parameters shall be derived by analyzing impedances between the terminals under the nominal power supplies.

The derived parameters are only suited and re-useable for conducted emission simulations when the PVT (process, voltage and temperature) conditions are the same.

NOTE 1 PDN is static, but due to the N-well and gate-oxide capacitances that are involved, the power supply voltage will affect it.

NOTE 2 Most of the impedance parameters can be derived from measurements using an impedance analyzer or S-parameter VNA (Vector Network Analyser).

7.5 IBC parameter extraction

The IBC impedance can be derived from the Vdd to Vss impedance by subtracting the impedance part that belongs to the PDN. A detailed method should be elaborated in future.

Annex A (informative)

Model parameter generation

A.1 Introduction

The purpose of this annex is to explain the methodologies used to extract the components. Three different ways are possible:

- Default parameters can be used when no other data is available.
- Parameters derived from parasitic element extractor tools, which can be used at the design phase of the IC and/or 3D electromagnetic field simulator.
- Parameters derived from measurements when the IC is already available.

A.2 Default structure and values

A.2.1 General

The PDN and IA components can be obtained using technological data coming from the IC and the packaging suppliers. The accuracy of default values is relatively low compared to values obtained by measurements or design information.

A.2.2 IA parameters

The IA structure is shown in Figure 2. It is possible to quickly determine the IA component using the technological data, which can be obtained from IC suppliers. Table A.1 shows typical values of the parameters.

As an example, for 0,5 μm ASIC technology, cell density is around 7000. The probable number of cells in 3x3 mm² area is approximately $7,000 \times 9 = 63 \text{ k gates}$. Considering that in average 10 % of cells are switching simultaneously, the probable CPU current at each clock edge is $63 \text{ k gates} \times 10 \% \times 0,75 \text{ mA} = 4725 \text{ mA}$.

Table A.1 – Typical parameters for CMOS logic technologies

Technology CMOS	Year	Power supply V	Cell density /mm ²	Clock frequency MHz	Peak gate current mA/gate	Rise/Fall time ns
1,2 μm	1985	5	1500	4 to 50	1,1	0,7
0,8 μm	1990	5	4000	4 to 90	0,9	0,5
0,5 μm	1993	5	7000	8 to 120	0,75	0,3
0,35 μm	1995	5 to 3,3	13000	16 to 300	0,6	0,2
0,25 μm	1997	5 to 2,5	18000	40 to 450	0,4	0,12
0,18 μm	1999	3,3 to 2,0	22000	100 to 900	0,3	0,1
0,12 μm	2001	2,5 to 1,2	28500	150 to 1200	0,2	0,07

Table A.2 gives the default number of logic gates for typical microcontrollers.

As an example, a 16-bit RISC microcontroller is fabricated in 0,25 μm technology. The microcontroller has approximately 15000 gates. The probable CPU current at each clock edge is $15000 \times 10 \% \times 0,4 \text{ mA} = 600 \text{ mA}$. The rise and fall time of the peak current is 0,12 ns.

Table A.2 – Typical number of logic gates vs. CPU technology

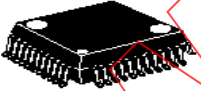
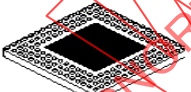
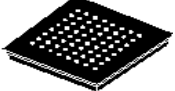
CPU technology	Total number of logic cells	Synchronous switching on clock edge
8 bits CISC	3000 to 5000	300 to 500
8 bits RISC	3000 to 5000	300 to 500
16 bits CISC	15000 to 20000	1500 to 2000
16 bits RISC	12000 to 18000	1200 to 1800
32 bits CISC	40000 to 60000	4000 to 6000
32 bits RISC	40000 to 60000	4000 to 6000

A.2.3 PDN parameters

The default structure of PDN is given in Figure 5.

The technological data given by the package suppliers enable to build quickly a PDN component. The typical values of the R, L and C are summarized in Table A.3. These values are used for the frequency range from DC to approximately 1 GHz.

Table A.3 – R, L and C parameters for various package types

Package		Pin count	R	L	C
	Dual in Line (DIL)	64 pins	0,025 Ω to 0,075 Ω	2 nH to 15 nH	1 pF to 10 pF
	Shrink dual in line (SDIL)	64 pins	0,025 Ω to 0,1 Ω	1 nH to 10 nH	1 pF to 10 pF
	Small Outline Package (SOP)	64 pins	0,025 Ω to 0,05 Ω	1 nH to 7 nH	1 pF to 7 pF
	Quad Flat Pack (QFP)	400 pins	0,035 Ω to 0,55 Ω	3 nH to 7 nH	2 pF to 5 pF
	Ball Grid Array (BGA)	800 pins	0,05 Ω to 0,15 Ω	0,5 nH to 10 nH	1 pF to 10 pF
	Fine Pitch Ball Grid Array (FBGA)	1500 pins	0,05 Ω to 0,2 Ω	0,5 nH to 10 nH	1 pF to 20 pF
	Mould Chip Scale Package (MCSP)	1500 pins	0,025 Ω to 0,1 Ω	0,5 nH to 5 nH	1 pF to 15 pF

A.3 Model parameter generation from design information

A.3.1 General

ICs suppliers can extract parameters from their design information using IC design tools.

A.3.2 IA parameters

The current source is the main component in the ICEM-CE model: it summarizes the contribution of all the logic gates on the current flowing through the power supply pins of the component. The behavioural simulation is a statistical approach that could be done at the early stage of the design flow (no need of the layout for example), and could take into account a very important numbers of gates. The way to build the current source is based on a statistical evaluation of the core elements: choice of the more representative gate (the most frequently-used gate in the design), choice of the typical load of the gate. From this information, a simulation can be done at the circuit level to extract the consumption current of the typical gate. For example, in a particular 16-bit micro-controller, the most popular gate is an inverter. Figure A.1 illustrates the test schematic to define the typical current waveform.

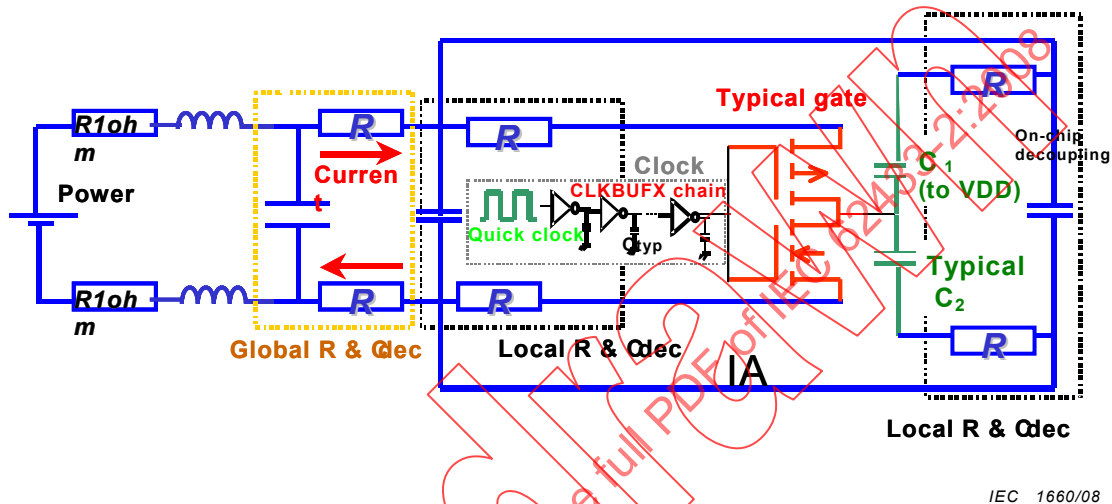


Figure A.1 – Typical characterization current gate schematic

This example shows the description of the PDN, local and distributed on-chip decoupling networks, and the description of the IA. As the inverter has a non-symmetric structure, the current peak is not the same for the switching-on and the switching-off: the average between these two current waveforms is therefore required in the approach given in Figure A.2.

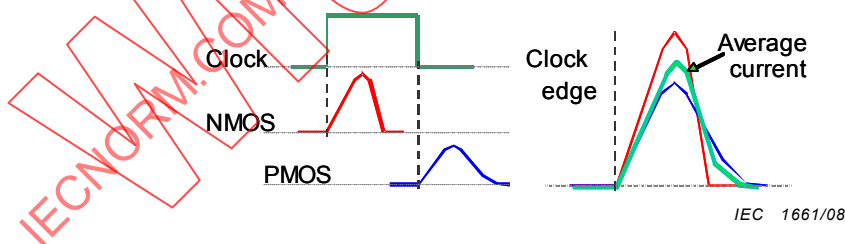
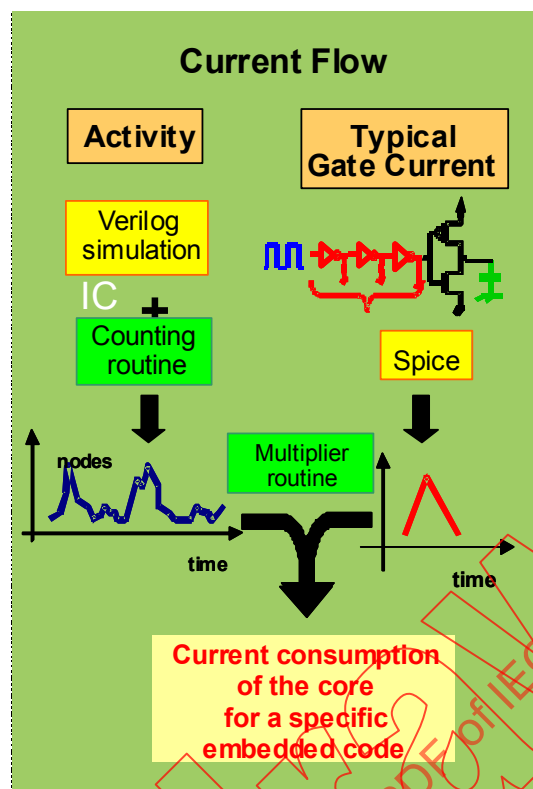


Figure A.2 – Current peak during switching transition

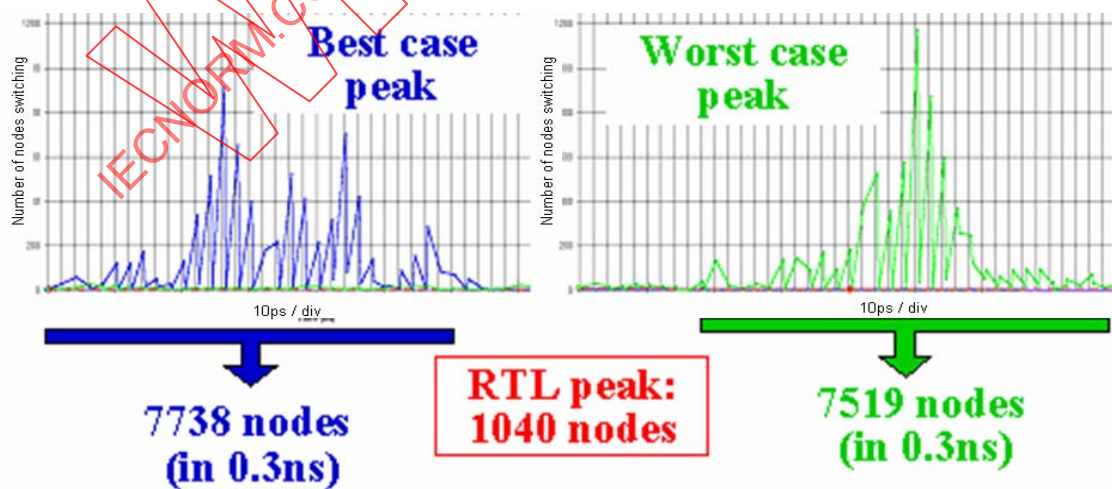
The second part of the methodology consists in multiplying this elementary current waveform by the number of gates that are switching at the same time. Figure A.3 illustrates this step. The aim is to obtain the number of logical nodes that change state in function of time for a given software implemented in the micro-controller. The feasibility of this operation is possible thanks to the Verilog source code, which models the micro-controller. Different types of analysis can be done, such as Best Case Simulation (BCS), Worst Case Simulation (WCS) and simulations at some corner cases of the technology.



IEC 1662/08

Figure A.3 – Example of IA extraction procedure from design

The comparison of the activity between these two cases is given in Figure A.4. The worst case peak is in fact determined to have the minimum delay in the signal propagation, and it is the opposite for the best case peak. The impact is in fact that the worst case peak presents a better synchronization of the signal and more gates are switching at the same time. The current peak is therefore sharper and the maximum value is higher than for the best case peak. The best case peak has therefore been chosen for the end of this study. In Figure A.4 the “RTL peak” item means Register Transfer Level.



IEC 1663/08

Figure A.4 – Technology Influence

The final waveform corresponding to a specific internal code embedded in the microcontroller is given in Figure A.5.

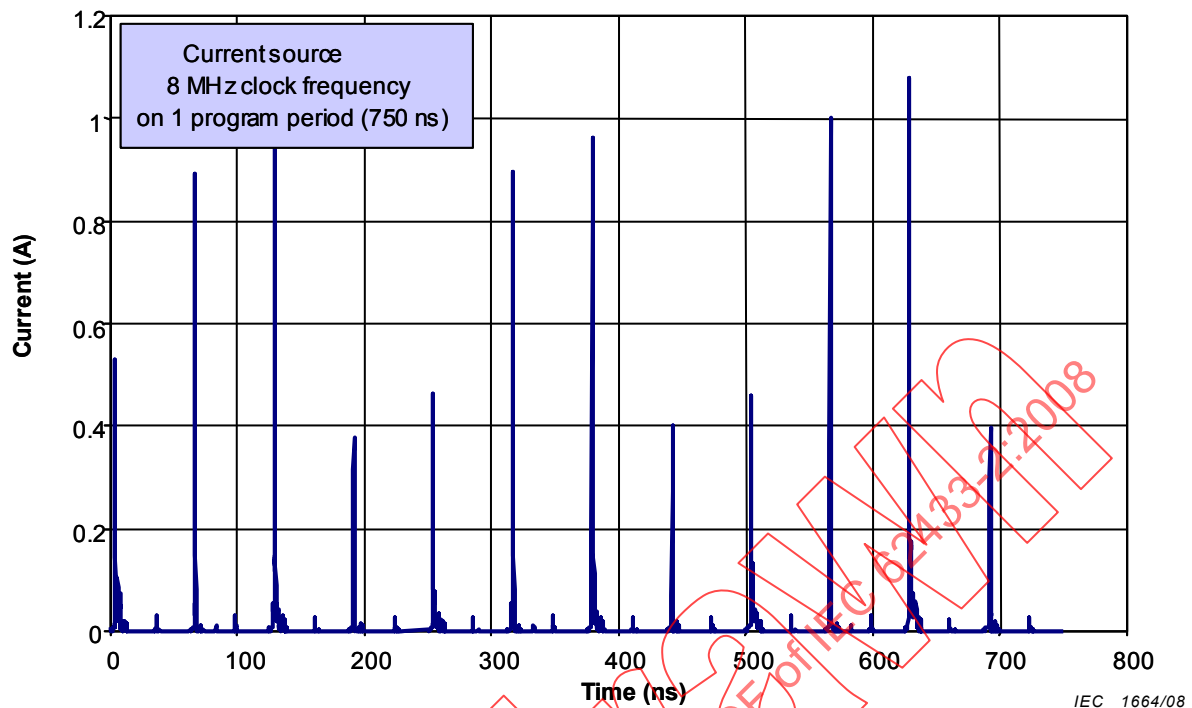


Figure A.5 – Final current waveform for a program period

The validation of this methodology has been done using the IEC 61967-4 measurement (conducted emission) on the power supply. The current has been measured through the 1Ω resistance inserted on the ground path of the IC. The passive part of the ICEM-CE model has been obtained by the parameters by default described in Annex C. Indeed, the Test PCB has also been modelled by an RLC block using the classical formula for identifying the RLC parameters.

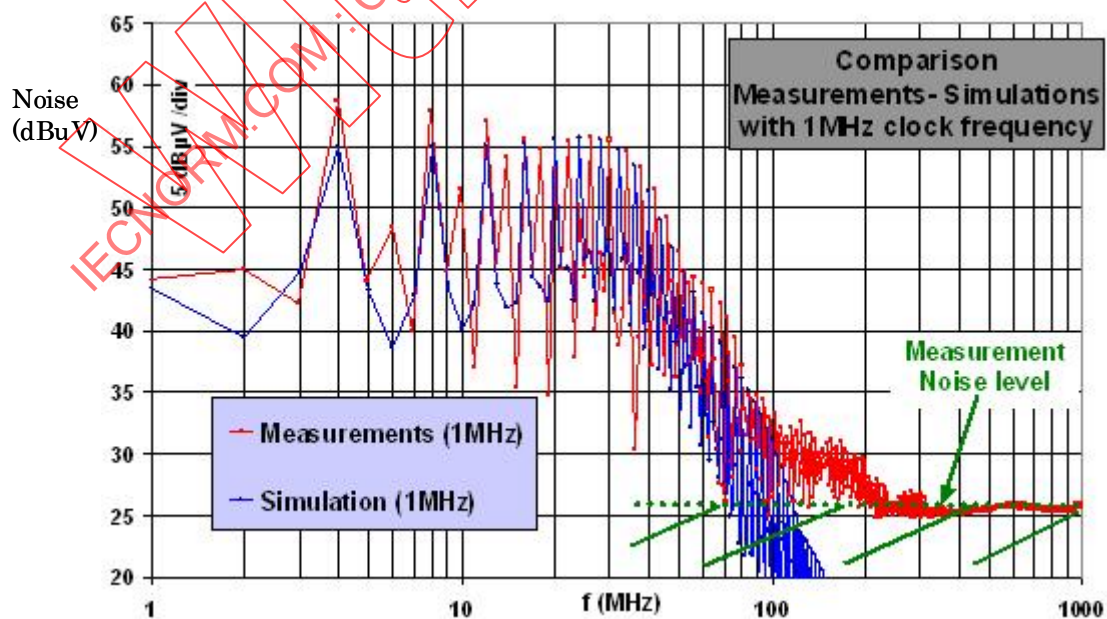


Figure A.6 – Comparison between measurement and simulation

It can be observed in Figure A.6 that we are able to predict the harmonic current peak up to 100 MHz. More measurements with other 16-bit micro-controllers have been done and the same results were obtained. It can therefore be considered that the simulation methodology is correct but needs improvement to extend the frequency range of validity. As far as this methodology is concerned, many approximations are performed and especially for the modelling of the interconnections, package and PCB. The need to go higher in frequency will force to use RF methods for the passive, bonding and package extraction, like presented in the previous paragraph.

A.3.3 PDN parameters

Package and Bonding wire modelling can be determined by using a 3D EM solver. From this simulation, the S-parameter file of the whole path is obtained and then is reduced to a lumped element model depending of the accuracy needed for the simulation. Another solution is to use the mathematical approach, using solvers, in order to calculate the parameters of the lumped element model directly linked to the geometry of the package. The structure of the model is given in Figure A.7 and could be reduced by one of the order reduction methods depending on the accuracy needed for the simulation.

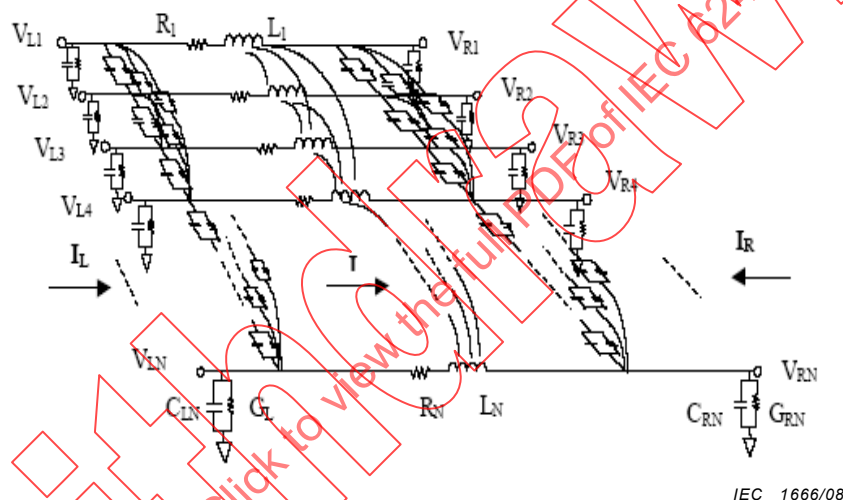


Figure A.7 – Lumped element model of a package

The information needed to extract package and bonding parameters is listed below:

- Package mechanical drawing
- Die size and cavity size
- Bonding diagram
- Type of bonding (diameter, material)
- Distance to the ground plane

An example of a package netlist is given below.

```
.subckt package ET0 ET1 ET2 ... ETn IT0 IT1 IT2 ... ITn gnd
#Definition of the leadframe part
L1          ET0          n00      1,820e-09
R1          n01          n02      2,408e-01
C1          n00          gnd       1e-12
L2          ET1          n10      1,828e-09
R2          n11          n12      2,434e-01
C2          n10          gnd       1e-12
L3          ET2          n20      1,820e-09
R3          n21          n22      2,408e-01
C3          n20          gnd       1e-12
...
```

```

K01      0,2597
K12      0,1089
K02      0,0612
...
C01      n00      n10      0,5e-12
C12      n10      n20      0,5e-12
C02      n00      n20      0,2e-12
...
# Definition of wire bonding part
L1wb     ET1      IT10     1,820e-09
R1wb     IT10     IT1      2,408e-01
L2wb     ET2      IT20     1,828e-09
R2wb     IT20     IT2      2,434e-01
...
K01wb    0,2597
K12wb    0,1089
K02wb    0,0612
...
.ends package

```

Figure A.8 illustrates the previous netlist and shows how the different elements of the package have been modelled. Some other architecture could also be taken into account, especially for the new packaging solutions.

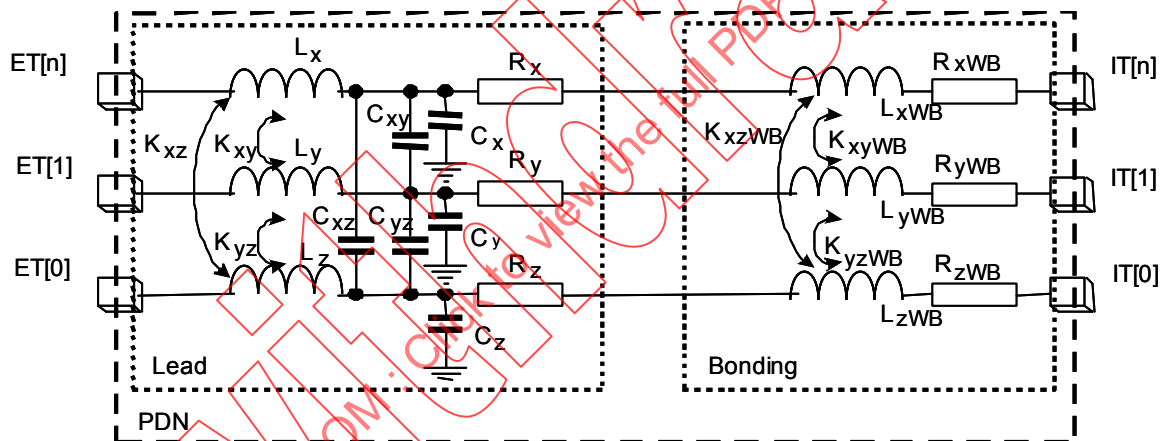


Figure A.8 – Circuit structure of the netlist

IEC 1667/08

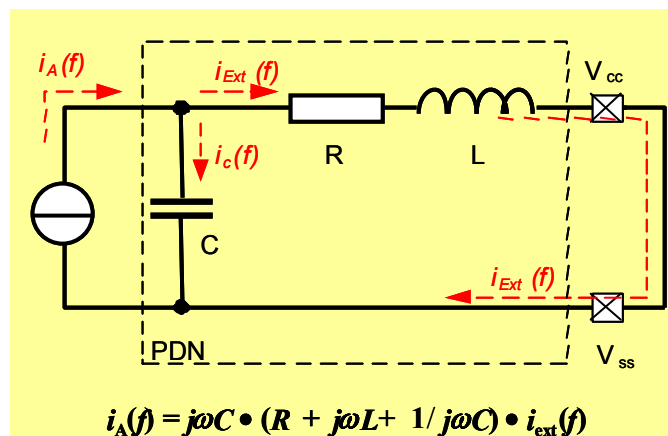
A.4 Model parameter generation from measurements

A.4.1 IA parameters

The IA component is described by a parameter called i_A . Most of the time, this parameter is not accessible directly. The transfer function PDN (f) has already been extracted and the current flowing externally, $i_{Ext}(t)$, has been measured. Depending on which analysis is needed, i_A can be described either in the time or in the frequency domain. It also depends on whether i_{Ext} is measured in the time or the frequency domain.

- Frequency domain

$i_{Ext}(f)$ is described in frequency and $i_A(f)$ is modelled directly by using the formula expressed in Figure A.9. In this figure it is assumed that the power-supply is equivalently shorted in the frequency band of interest.



IEC 1668/08

Figure A.9 – Principle of the IA computation

In case of multiple IAs, a matrix form can be used as shown in the following expression:

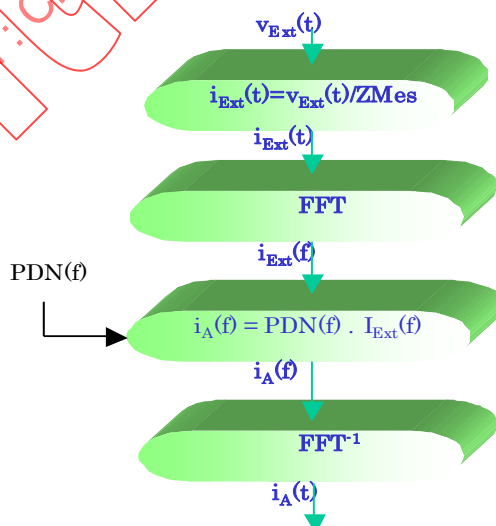
$$\begin{bmatrix} i_{A[n]} \\ \vdots \\ i_{A[1]} \end{bmatrix} = [\text{PDN}] \cdot \begin{bmatrix} i_{Ext[n]} \\ \vdots \\ i_{Ext[1]} \end{bmatrix} \quad (\text{A.1})$$

where PDN is the transfer function between $i_{A[n]}$ and $i_{Ext[n]}$.

- Time domain

$i_{Ext}(t)$ is measured in the time domain and $i_A(t)$ has to be described in the time domain as well. In that case, the convolution of the discrete Fourier transform is used.

Figure A.10 shows the DFT or FFT process used to generate the IA component.



IEC 1669/08

Figure A.10 – Process involved to model $i_A(t)$

First, $i_{Ext}(t)$ is measured using either the IEC 61967-4 proposal or other techniques (magnetic probe, ferrite probe ...). Figure A.11 presents an example in the time domain.

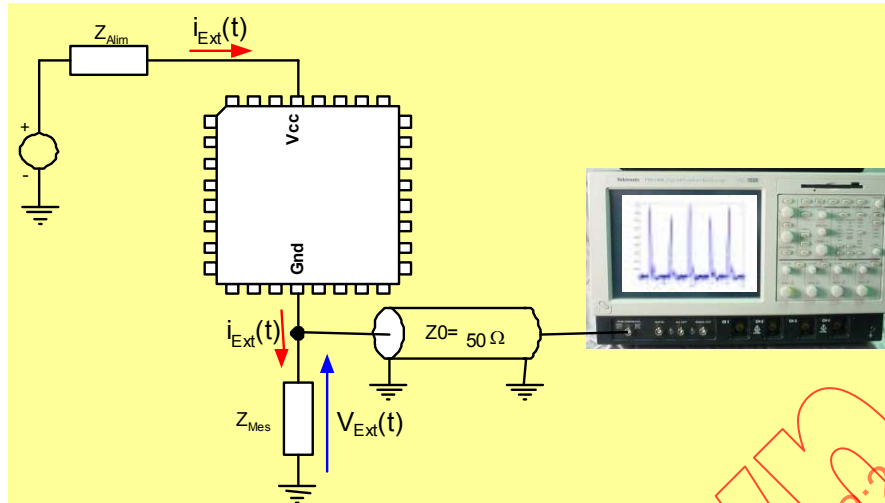


Figure A.11 – $i_{Est}(t)$ measured using IEC 61967-4

Secondly, a DFT of FFT is applied to convert $i_{Est}(t)$ in the frequency domain. Thirdly, the previous expression shown above is used to compute i_A in the frequency domain. Lastly, the inverse discrete Fourier transform is applied to express $i_A(f)$ in the time domain plots $i_A(t)$ and $i_{Est}(t)$ descriptions, see Figure A.12. It should be noted that some precautions have to be taken when a Fourier Transform or convolution process is used, to avoid altering the model with unwanted information due to the Fourier transform algorithm such as spectral leakage. The observation window has to be chosen in order to have a periodic signal. The sampling period of the oscilloscope should be adjusted to give sufficient accuracy to the Fourier Transform, depending on what is to be observed.

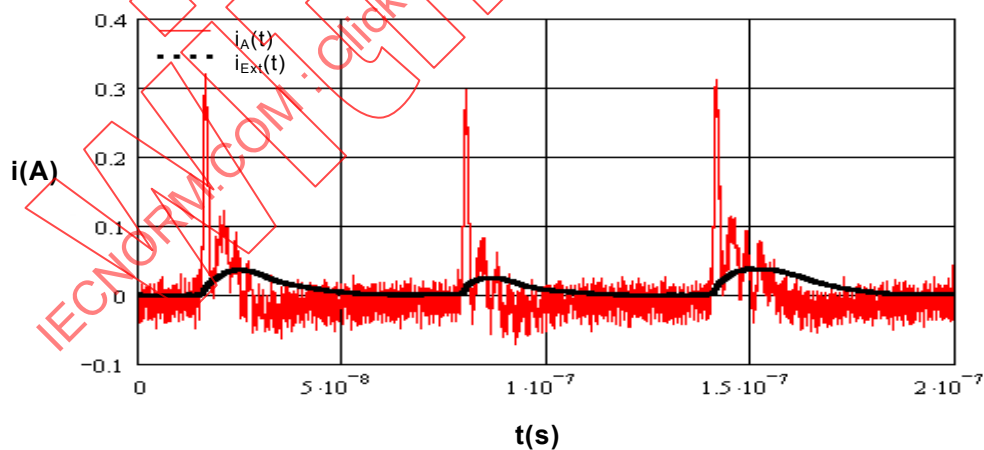


Figure A.12 – $i_A(t)$ and $i_{Est}(t)$ profiles

In the case of multiple pairs of pins, the measurement can be performed separately on each pair and then added to obtain the total current. The methodology described above can be applied. The format of i_A depends on the simulation tools. A common format used by most of the tools is the ASCII format describing i_A by the frequency and its amplitude or by the time and its level.

A.4.2 PDN parameters

A.4.2.1 Overview

A vector network analyzer (VNA) and a test board are used to extract by measurement the parameters of the PDN component. The test board has to be modelled first in order to de-embed the measurement and to obtain the parameters of the device. In general the impedance range of these parameters lies in the range 0,05 Ω to 500 Ω and the S11 analysis is used.

$$Z_x = -25 \cdot \frac{1 + S_{11}}{S_{11}} \quad (\text{A.2})$$

Unfortunately when the S11 analysis is performed, 10 % of accuracy is obtained when the impedance range is from 5 Ω to 500 Ω , which does not match the previous requirements.

A technique [1]¹ derived from the S21 measurement is proposed in order to better match this range. Based on the knowledge of the S21 measurement, the unknown impedance can be determined using the following expression:

$$Z_x = 25 \cdot \frac{S_{21}}{1 - S_{21}} \quad (\text{A.3})$$

With this technique 10 % of accuracy is reached when the impedance is in the range of 0,5 Ω to 500 Ω . If a higher accuracy is needed, a RF impedance bridge should be used.

A.4.2.2 Bias conditions

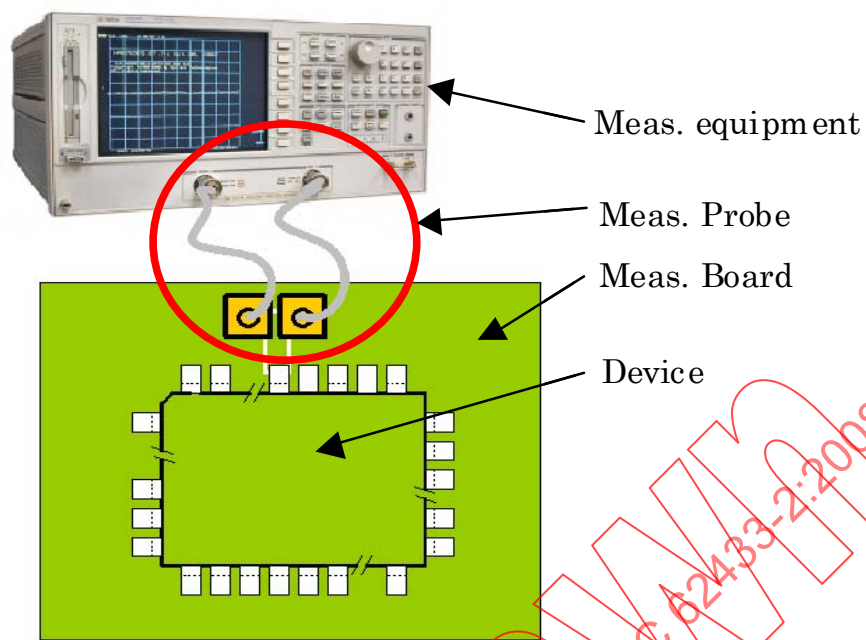
Several configurations are required to extract all the PDN parameters and it is necessary to connect the power pins to ground or to the power supply rail. To achieve that, all the PDN parameters are extracted while the power supply is maintained off. The internal decoupling capacitors (digital, analogue, I/Os...) are the sum of all parasitic capacitors of CMOS transistors and the value depends on the power supply voltage. So only these PDN parameters are extracted while the power supply is on. In general when a VNA is used, a bias tee is incorporated and the VNA supplies the power to the chip under measurement. If another measurement equipment is used, an external bias tee has to be inserted between the power supply and the device.

A.4.2.3 Measurement technique and de-embedding process

A.4.2.3.1 General

Before extracting the PDN parameters and because a hardware measurement set-up is used, a de-embedding process removes all the parasitic elements of this set-up. The hardware set-up consists of measurement equipment such as a VNA, a RF impedance bridge, a measurement probe and the device as illustrated in Figure A.13.

¹ Figures in brackets refer to the Bibliography.

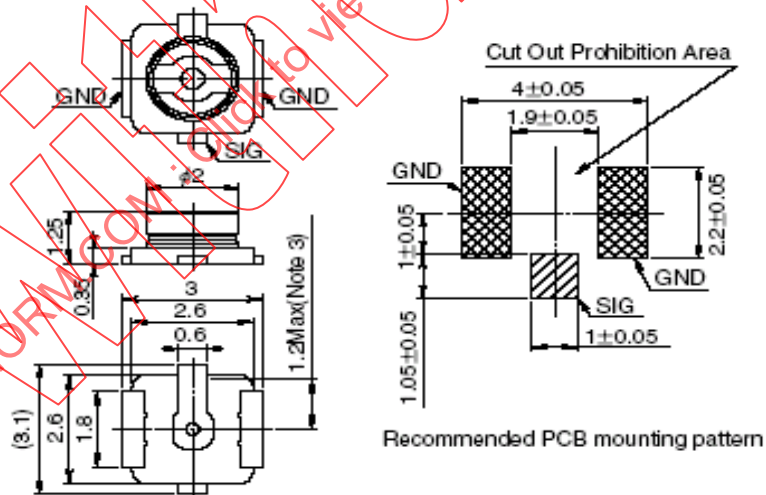


IEC 1672/08

Figure A.13 – Example of a hardware set-up used to extract the PDN parameters

A.4.2.3.2 Measurement probe, Z-Probe

The measurement probe is based on two miniature coaxial connectors as shown in Figures A.14 and A.15. A small PCB track connects both connectors to the device.



IEC 1673/08

Figure A.14 – Miniature 50 Ω coaxial connectors

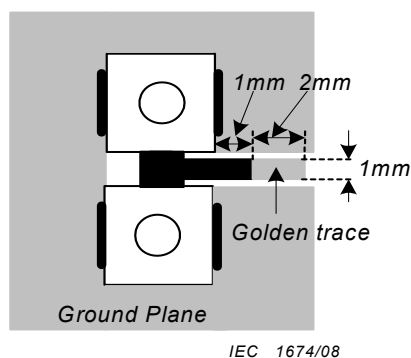


Figure A.15 – Impedance probe using two miniature coaxial connectors

The probe is calibrated using open- and short-circuit compensations as shown in Figure A.16.

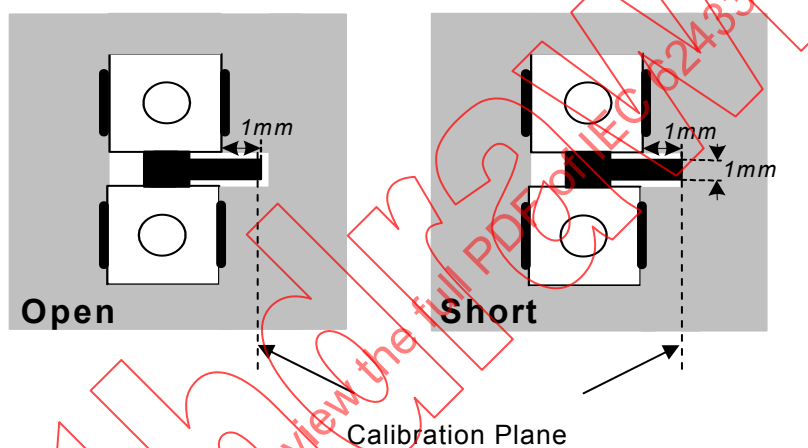


Figure A.16 – Open and short terminations

Based on these two measurements the parasitic elements of this probe can be determined and finally the probe model is defined. An example is shown in Figure A.17.

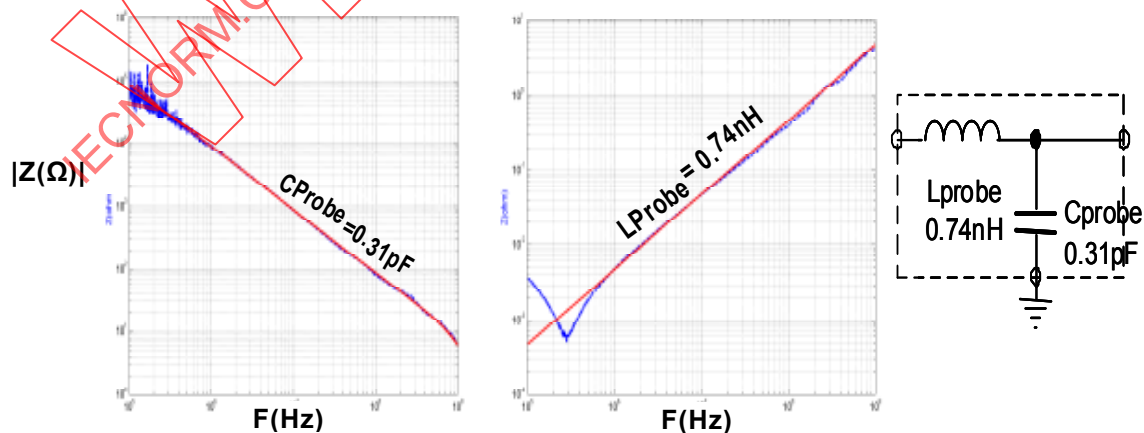
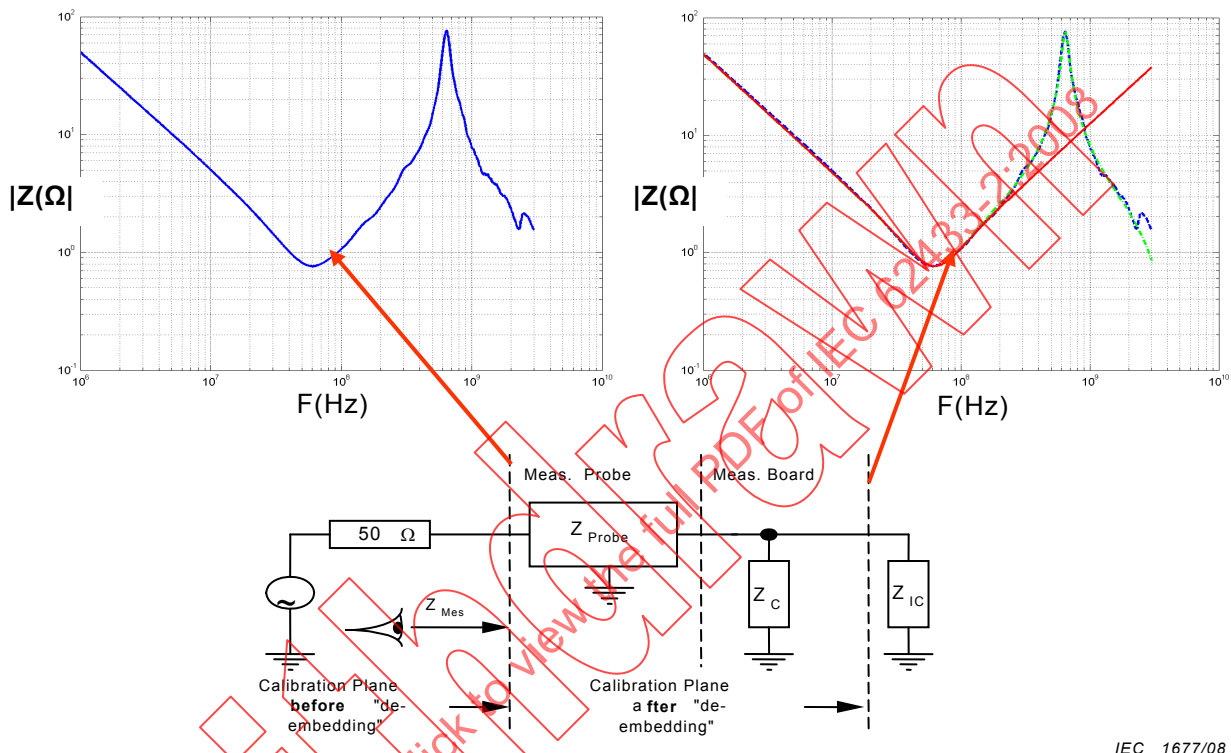


Figure A.17 – Measurement probe model

A.4.2.3.3 The measurement Board, Z_c

The measurement board can be modelled generally by a parasitic capacitor, which can be measured before mounting the device. Figure A.18 depicts the de-embedding principle and gives an example. The measurement in the upper left corner of Figure A.18 shows the measurement performed before the de-embedding process. The measurement in the upper right corner of the same figure shows the impedance profile after the probe impedance has been removed exhibiting pure RLC impedance.



IEC 1677/08

Figure A.18 – De-embedding principle

A.4.2.4 PDN parameters extraction process

A.4.2.4.1 General

The general process to build the PDN component is explained hereafter.

A.4.2.4.2 Choose the structure of the PDN

Based on the number of pairs of power pins, a predefined structure is chosen and the number of unknown parameters is determined (example: RV_{cc} , RG_{nd} , RA_{gnd} , RA_{vcc} , LG_{nd} ...). An example of predefined structure is given in Figure A.19 for a device having one pair of digital pins and one pair of analogue pins.

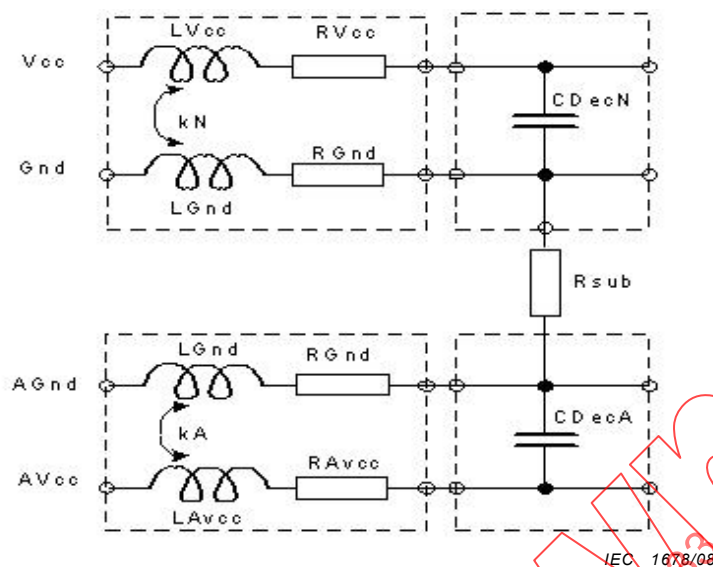


Figure A.19 – Example of a predefined PDN structure

The structure of the PDN depends on the number of power pins, the technology, the size of the circuit,... The correlation between the measurement and the PDN component allows validation of the predefined structure. If the number of parameters is insufficient to correctly describe the PDN, extra elements can be added to the model.

A.4.2.4.3 Definition of the number of impedance measurements to be performed

The number of measurements to be performed is at least equal to the number of unknown parameters. Table A.4 below shows the measurement configurations used to extract the R parameters.

Table A.4 – Measurement configurations and extracted RLC parameters

Measurement Configurations	VNA (S11)
ZVccGnd_0v	C=1,45 nF, L=3,25 nH, RVccGnd=1,256
ZAvccAgnd	C=687pF, L=2,8 nH, RAgndAvcc=1,63
ZAvssGnd	L=5,66 nH, RSubAVccGnd=1,12
ZAgndVcc_0v	C=1,54 nF, L=5,2 nH, RVccSubAgnd=1,66
ZAvccGnd_0v	C=689 pF, L=4,91 nH, R=2,19

For example:

- **ZVccGnd_0v**: ZVcc is connected to the excitation port of the Vector Network Analyzer and the Gnd is connected to the ground.
- **ZAgndGnd**: ZAgnd is connected to the excitation port and the Gnd to the ground. This configuration allows extracting the model of the IBC component.

A.4.2.4.4 Basic measurement configurations

Three basic configurations can be met during the measurement phase. The first one is depicted in Figure A.20 and is for a series inductance and resistance. At low frequencies, the resistance is dominant and gives the R parameter. At high frequencies, the inductance dominates and the L parameter can be determined using the following equation:

$$X_L = j\omega L \Rightarrow L = \frac{X_L}{j\omega} \quad (\text{A.4})$$

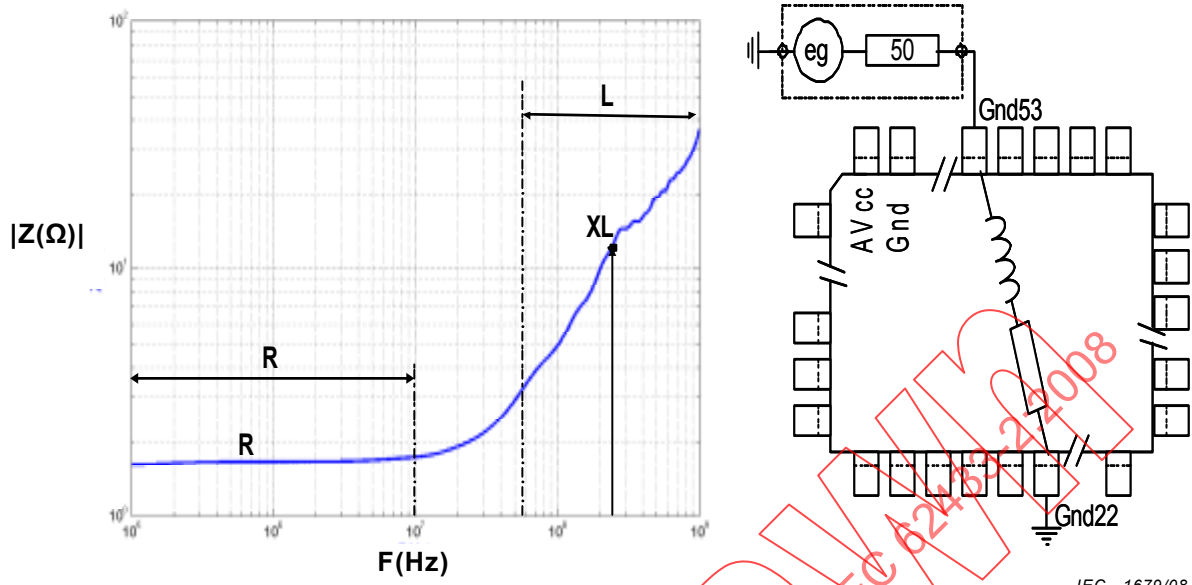


Figure A.20 – RL configuration

Figure A.21 depicts a second configuration seen when a ground and a VCC pin are located on opposite sides and when there is no magnetic coupling between the two pins. The C parameter is determined in the low frequency range by using the following formula:

$$X_C = \frac{1}{j\omega C} \Rightarrow C = \frac{1}{X_C \cdot j\omega} \quad (\text{A.5})$$

The L parameter is determined in the high frequency range by using the following equation:

$$F_R = \frac{1}{2\pi\sqrt{L \cdot C}} \Rightarrow L = \frac{1}{(2\pi F_R)^2 \cdot C} \quad (\text{A.6})$$

The R parameter is determined at the anti-resonance frequency (F_R).

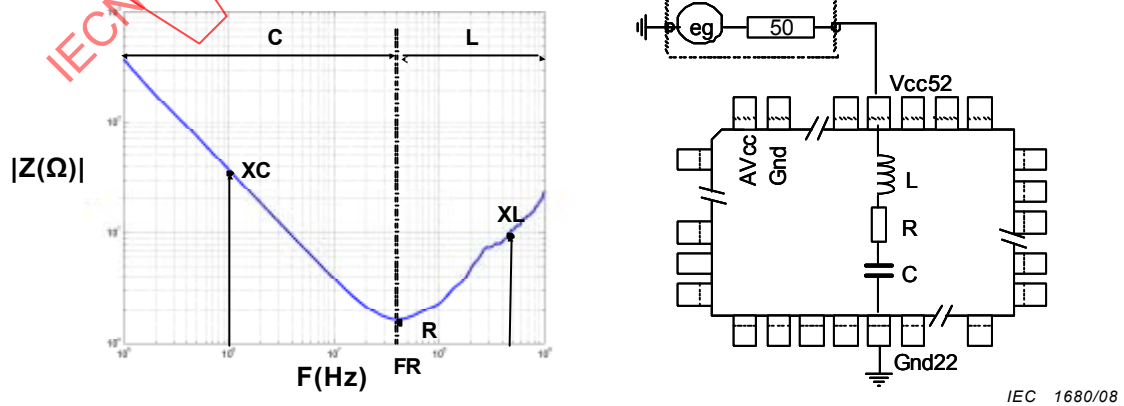


Figure A.21 – RLC configuration

The third configuration, depicted in Figure A.22, is nearly the same as the previous one except that the Vcc and Gnd pins are closer together and magnetically coupled.

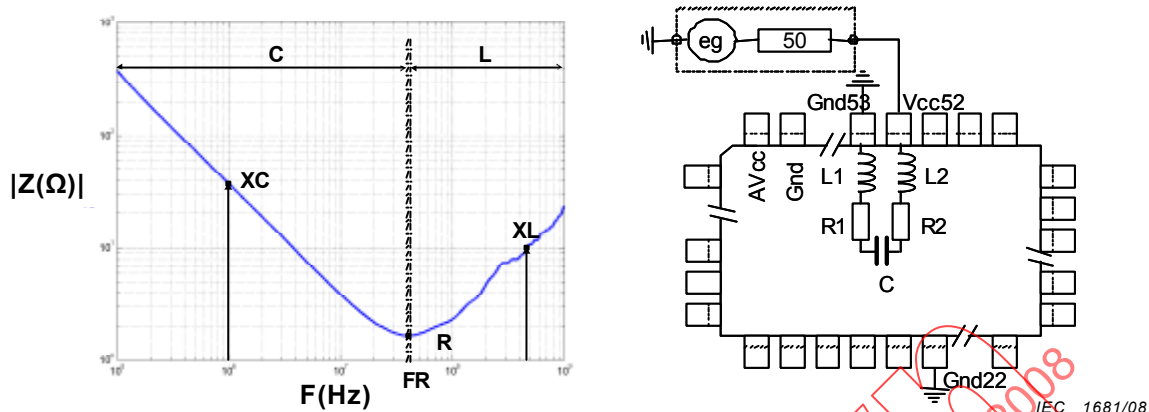


Figure A.22 – RLC with magnetic coupling configuration

The R, L and C parameters are extracted by using the same method described in the second configuration. The mutual inductance and the magnetic coupling can be determined with the following equations, assuming i_1 and i_2 (Figure A.23) have the same magnitude but opposite phase (true for the digital part of the IC).

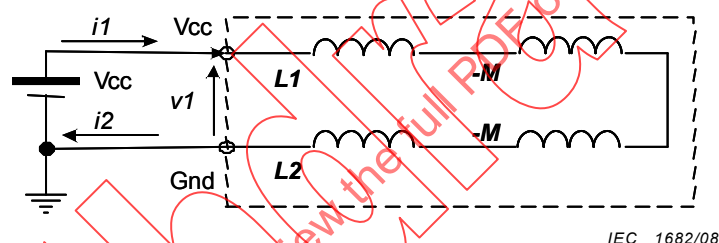


Figure A.23 – Impedance seen from Vcc and Gnd

The input impedance seen across the Vcc and Gnd pins can be determined with the following equation:

$$Z_1 = j(L_1 + L_2) \cdot \omega - j2M \cdot \omega = jL_{eq} \cdot \omega \quad (\text{A.7})$$

In such condition, the equivalent inductance is equal to

$$L_{eq} = L_1 + L_2 - 2M \quad (\text{A.8})$$

The mutual inductance and the magnetic coupling factor can be determined using the following formulae:

$$M = \frac{L_1 + L_2 - L_{eq}}{2} \quad (\text{A.9})$$

$$k = \frac{M}{\sqrt{L_1 \cdot L_2}} \quad (\text{A.10})$$

A.4.2.4.5 Solve the equation

A mathematical solver is used to solve the equation at $n=5$ unknowns as it shown below.

$\begin{aligned} R_{Agnd} + R_{AVcc} &= R_{AgndAVcc} \\ R_{Vcc} + R_{Gnd} &= R_{VccGnd} \\ R_{Sub} + R_{AVcc} + R_{Gnd} &= R_{SubAVccGnd} \\ R_{Vcc} + R_{Sub} + R_{Agnd} &= R_{VccSubAgnd} \\ R_{Gnd} + R_{Sub} + R_{Agnd} &= R_{GndSubAgnd} \end{aligned}$	Resolve	$\begin{aligned} R_{Vcc} \\ R_{Gnd} \\ R_{Sub} \\ R_{Agnd} \\ R_{AVcc} \end{aligned}$	→	(0.995, 0.365, 0.44, 0.295, 1.335)
--	---------	---	---	------------------------------------

A.4.2.4.6 Build the PDN component

The same process is applied to extract the inductance parameters. The complete PDN component can be built (Figure A.24).

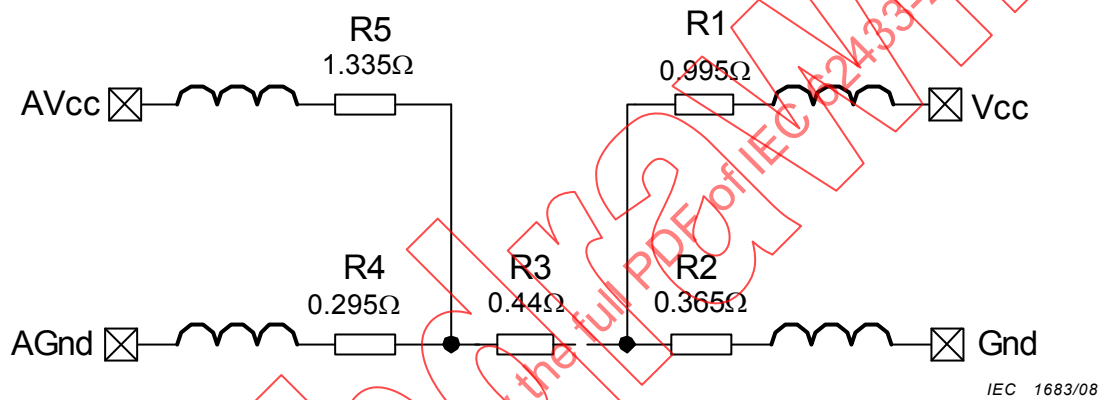


Figure A.24 – Complete PDN component

A.4.2.4.7 Choose a correlation configuration

A correlation configuration is determined to check the accuracy of the PDN component. This configuration shall be completely different from those used to extract the RLC parameters. Figure A.25 depicts an example where all the Gnd pins are connected together on a small ground plane and all the Vcc pins are connected together on a small land plane. The device is supplied with an external power supply through the VNA. The analogue power supply is performed by an independent external power supply in order to simplify the correlation process.

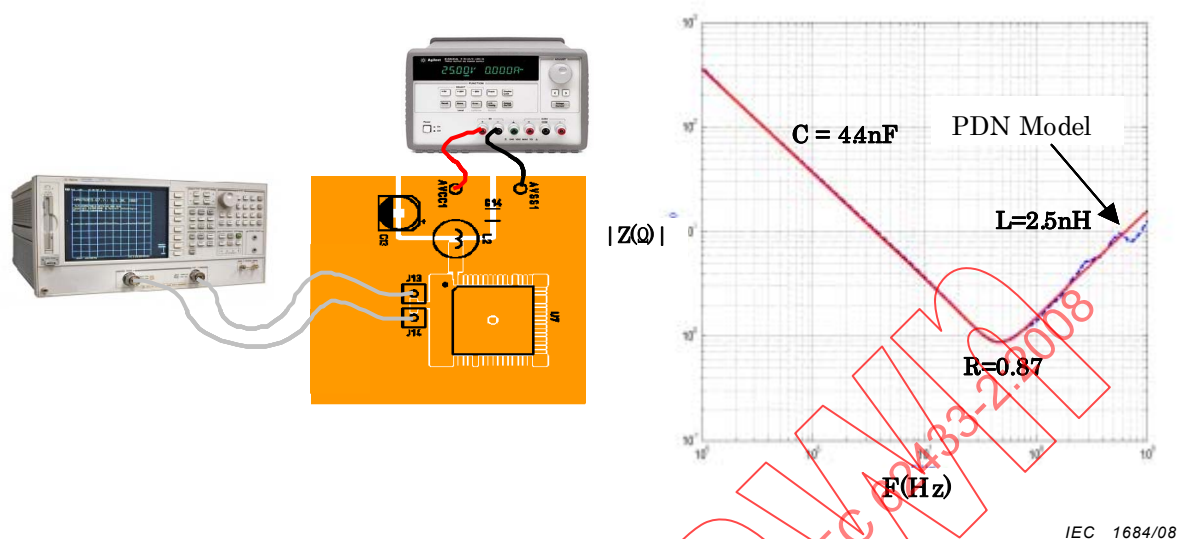


Figure A.25 – Set-up for correlation (left), measurement and prediction (right)

The measurement is performed between the Vcc and the Ground plans and compared to the prediction of the PDN component. Figure A.25 shows quite a good correlation between the PDN component and the measurement.

A.4.2.4.8 Extraction of the Internal decoupling capacitors

Because these parameters vary with the power supply, the device has to be supplied to extract the internal decoupling capacitors. The device shall be supplied with the nominal power supply voltage. Figure A.26 uses the previous set-up to measure the decoupling capacitor of the digital part except that the power is maintained on. The capacitance is now doubled. Figure A.26 plots the impedances of the measurement and of the PDN simulation.

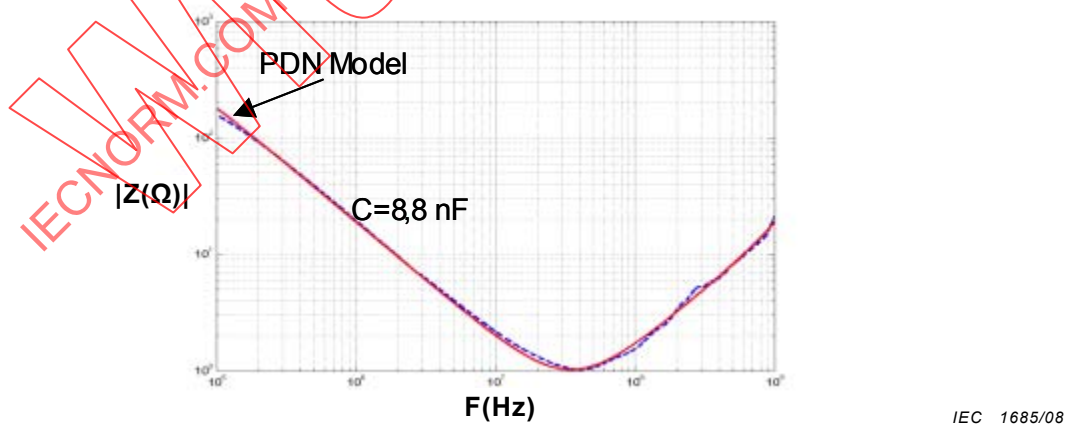


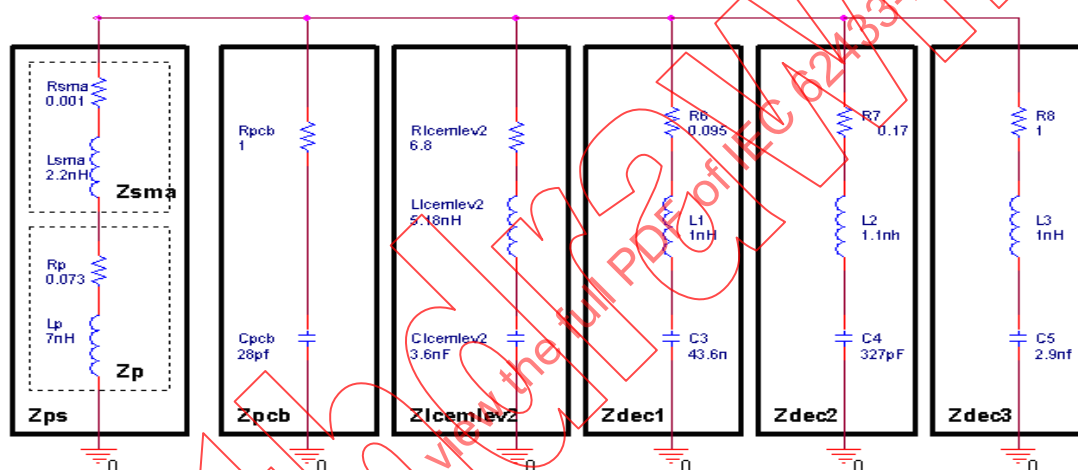
Figure A.26 – Set-up used to measure the internal decoupling capacitor

Annex B (informative)

Decoupling capacitors optimization

This annex presents a case study in order to show how the ICEM-CE can help to design and to optimize the decoupling network during the design phase of a complete electronic system. The value and the number of decoupling capacitors can be evaluated and determined.

Figure B.1 shows the complete electronic system builds around a power supply (Z_{ps}), a PCB (Z_{pcb}), the ICEM-CE model of the device to decouple ($Z_{icemlev2}$) and the decoupling capacitor network (Z_{dec1} , Z_{dec2} and Z_{dec3}). Each part of this system is represented with its impedance model.



IEC 1686/08

Figure B.1 – Equivalent schematic of the complete electronic system

There are several ways to define the number and the values of the decoupling capacitors. The approach presented in this annex used the ICEM-CE model. The process recommended to define the decoupling capacitors is commented hereafter.

The frequency bandwidth of the integrated circuit has to be determined. If there is no specific requirement, a good practice is to limit the bandwidth to the tenth harmonics of the clock frequency (example: $f_{osc} = 16$ MHz, bandwidth = 160 MHz) or defined by the general formula:

$$BW = \frac{0.35}{t_{rise}} \quad (B.1)$$

Maximum impedance measured at the Vdd/Vss pins of the IC has to be defined to guarantee a minimum noise level. This last parameter depends on the application and is based on the knowledge of the electronic system manufacturer. If there is no specific requirement, a good practice is to choose an impedance less than 1 Ω in the full bandwidth frequency.

The next step consists of calculating decoupling capacitors on the fundamental frequency and on the first harmonics. For example, if the clock frequency is 16 MHz and the parasitic inductance is 1 nH, the decoupling capacitor (in Farad) is determined with the following formula:

$$C = \frac{1}{(6.28 \times 16 \times 10^6)^2 \times 10^{-9}} = 10^{-7} \quad (\text{B.2})$$

The values and the number are tuned based on the simulation of the model of the complete electronic system shown in Figure B.1. Without the ICEM-CE model and the other models, it is very difficult to define the decoupling network because a capacitor is not only a capacitor but an inductance and a resistance as well. Above the resonance frequency the capacitor is inductive and can cause a new resonance if there is another capacitor around. Also putting several capacitors needs to master the combination of all these resonances.

Figure B.2 shows the impedances before and after the decoupling optimization.

- ZPDN is the ICEM-CE model impedance of the device alone.
- ZVccVss is the profile impedance of the complete system before the decoupling optimization.
- ZVccVssDecMod is the total impedance of ZVccVss added to the decoupling network predicted by simulation.
- ZVccVssDecMeas is the total impedance of ZVccVss added to the decoupling network measured with the network analyzer.

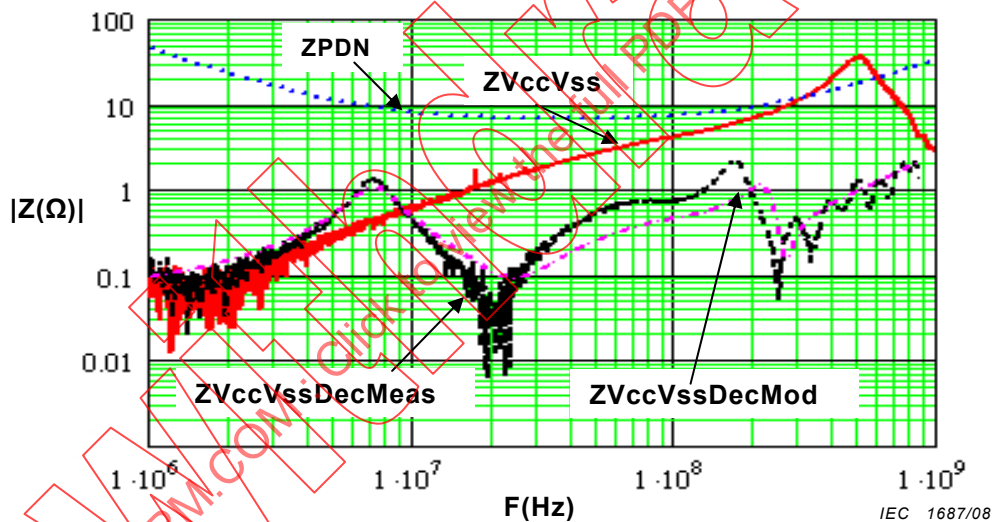


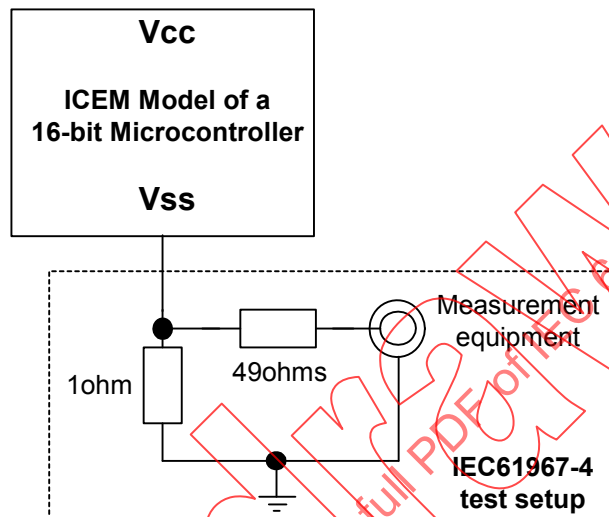
Figure B.2 – Impedance prediction and measurements

Figure B.2 shows a good correlation between ZVccVssDecMod and ZVccVssDecMeas. The remaining impedance differences come from the model of C3. The parasitic inductance is more complex to model due to the geometry and technology used. This result is however far enough for this application.

Annex C (informative)

Conducted emission prediction

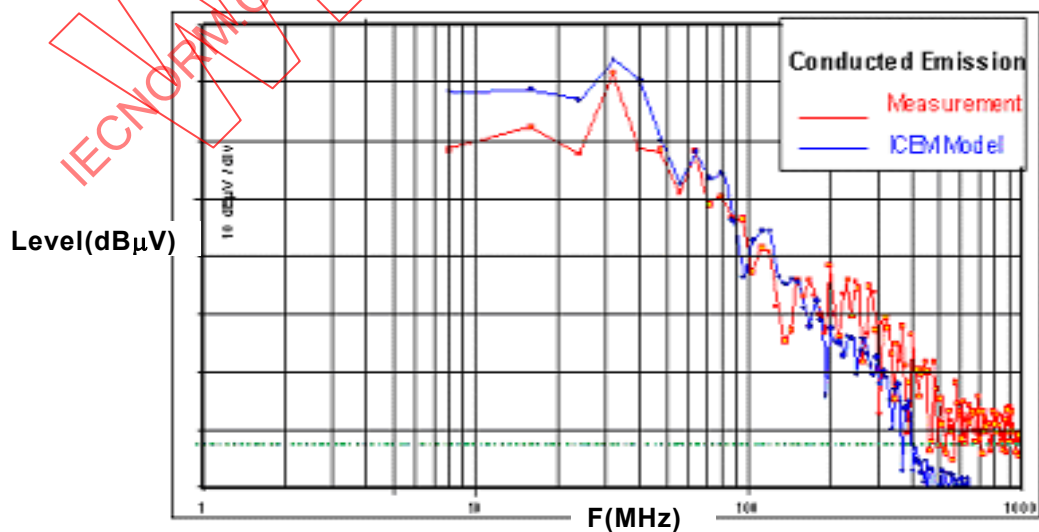
This annex uses the ICEM-CE model to predict the emission level according to the IEC 61967-4 proposal. Figure C.1 shows the standard test set-up used for this measurement and how the ICEM-CE of the 16-bit microcontroller is inserted in this set-up.



IEC 1688/08

Figure C.1 – IEC 61967-4 test set-up standard

The simulated spectrum is obtained according to Figure C.1 where the ICEM-CE model of the microcontroller and the IEC 61967-4 test set-up are simulated using a Spice simulator. The spectrums in Figure C.2 show the measured and simulated emissions. Thanks to the ICEM-CE model the agreement is very good up to 200 MHz. Above 200 MHz, to increase the accuracy additional information has to be added.



IEC 1689/08

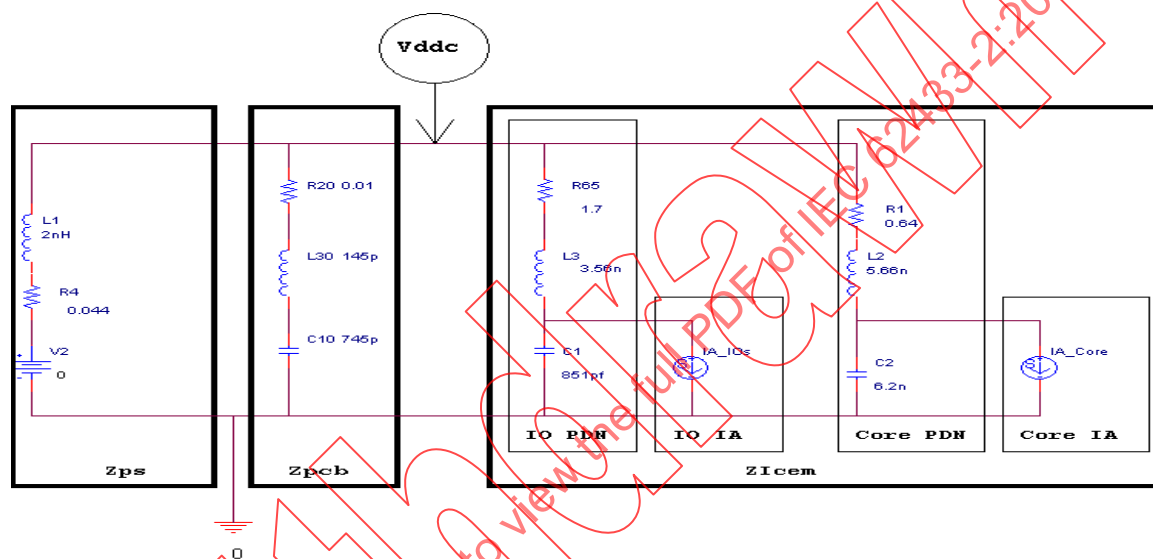
Figure C.2 – Comparison between prediction and measurement

Annex D (informative)

Conducted emission prediction at PCB level

In this application, the ICEM-CE model is used to predict the level of the conducted emission measured on the Vddc at the PCB level.

Figure D.1 shows the complete description of a typical microcontroller application used to evaluate the conducted emissions. The figure illustrates the ICEM model of the microcontroller (Zicem), the PCB model (Zpcb) and the power supply model (Zps). And the ICEM model consists of the PDN and IA components of the core and the I/Os.



IEC 1690/08

Figure D.1 – Prediction of Vddc noise level at PCB level

Figure D.2 plots the measured and the predicted level of the conducted emissions. Thanks to ICEM-CE, there is a good agreement on the noise envelope. The high frequency has not been modelled due to the limitation of the measurement equipment (500 MHz); this is why the model has filtered the high frequency noise.

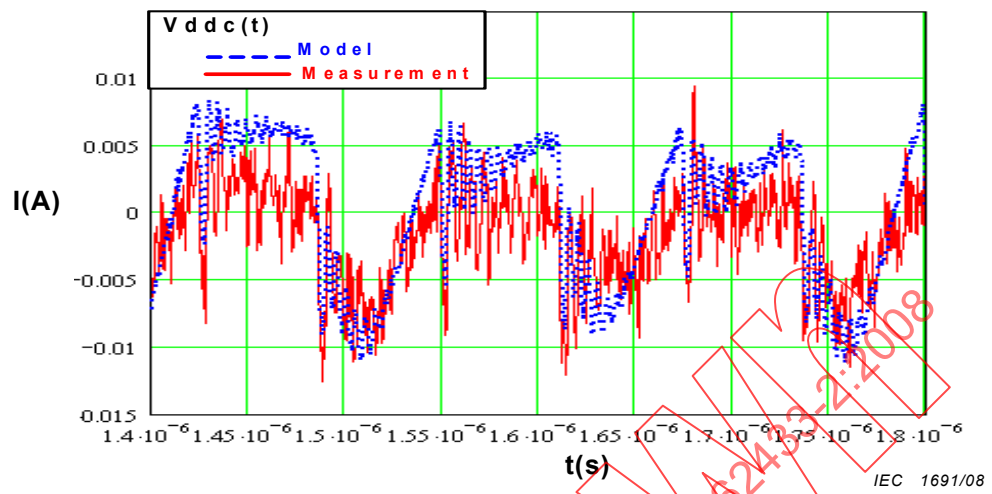


Figure D.2 – Good agreements on the noise envelope

Bibliography

- [1] “Probes and set-up for measuring power-plane impedances with vector network analyser”, DesignCon99, Istvan Novak (SUN Microsystems engineer)
-

IECNORM.COM: Click to view the full PDF of IEC 62433-2:2008

SOMMAIRE

AVANT-PROPOS.....	47
1 Domaine d'application.....	49
2 Références normatives.....	49
3 Termes et définitions.....	50
4 Philosophie.....	50
4.1 Généralités.....	50
4.2 Émission conduite provenant de l'activité du cœur (cause numérique).....	51
4.3 Émission conduite provenant de l'activité d'E/S.....	51
5 Composants de base.....	51
5.1 Généralités.....	51
5.2 Activité interne (IA).....	51
5.3 Réseau de distribution passif (PDN).....	53
6 Macromodèles de circuit intégré.....	55
6.1 Généralités.....	55
6.2 Macromodèle général de circuit intégré.....	55
6.3 Macromodèle de circuit intégré à base de blocs.....	56
6.3.1 Composant de bloc.....	56
6.3.2 Composant de couplage entre blocs (IBC).....	58
6.3.3 Structure de macromodèle de circuit intégré à base de blocs.....	59
6.4 Macromodèle de circuit intégré à base de sous-modèles.....	61
6.4.1 Composant de sous-modèle.....	61
6.4.2 Structure de macromodèle de circuit intégré à base de sous-modèles.....	62
7 Exigences relatives à l'extraction de paramètres.....	63
7.1 Généralités.....	63
7.2 Contrainte d'extraction liées à l'environnement.....	63
7.3 Extraction des paramètres d'IA.....	64
7.4 Extraction des paramètres du PDN.....	64
7.5 Extraction des paramètres d'IBC.....	64
Annexe A (informative) Génération des paramètres de modèle.....	65
Annexe B (informative) Optimisation des condensateurs de découplage.....	87
Annexe C (informative) Prédiction de l'émission conduite.....	89
Annexe D (informative) Prédiction de l'émission conduite au niveau de la carte de circuit imprimé.....	91
Bibliographie.....	93
Figure 1 – Exemple de décomposition d'un circuit intégré numérique pour l'analyse des émissions conduites.....	51
Figure 2 – Composant d'IA.....	52
Figure 3 – Exemple de caractéristiques d'IA dans le domaine temporel.....	53
Figure 4 – Exemple de caractéristiques d'IA dans le domaine fréquentiel.....	53
Figure 5 – Exemple de PDN à quatre bornes utilisant des éléments à constantes localisées.....	54
Figure 6 – Exemple de PDN à sept bornes utilisant des éléments à constantes réparties.....	54
Figure 7 – Exemple de PDN à douze bornes utilisant une représentation matricielle.....	55

Figure 8 – Macromodèle général de circuit intégré	56
Figure 9 – Exemple de composant de bloc	57
Figure 10 – Exemple de composants de bloc pour E/S.....	58
Figure 11 – Exemple d'IBC avec deux bornes internes	59
Figure 12 – Relation entre blocs et IBC	59
Figure 13 – Macromodèle de circuit intégré à base de blocs	60
Figure 14 – Exemple de macromodèle de circuit intégré à base de blocs	61
Figure 15 – Exemple simple de sous-modèle.....	62
Figure 16 – Macromodèle de circuit intégré à base de sous-modèles	63
Figure A.1 – Schéma type de caractérisation de porte de courant	67
Figure A.2 – Courant crête pendant une transition de commutation.....	68
Figure A.3 – Exemple de procédure d'extraction d'IA à partir de la conception	69
Figure A.4 – Influence de la technologie.....	69
Figure A.5 – Forme d'onde de courant finale pour une période de programme.....	70
Figure A.6 – Comparaison entre la mesure et la simulation.....	71
Figure A.7 – Modèle d'élément à constantes localisées d'un boîtier.....	72
Figure A.8 – Structure des circuits de la liste d'interconnexions	73
Figure A.9 – Principe du calcul d'IA.....	74
Figure A.10 – Processus impliqué pour modéliser $i_A(t)$	74
Figure A.11 – $i_{Ext}(t)$ mesuré en utilisant la CEI 61967-4	75
Figure A.12 – Profils de $i_A(t)$ et $i_{Ext}(t)$	75
Figure A.13 – Exemple de montage matériel utilisé pour extraire les paramètres du PDN	77
Figure A.14 – Connecteurs coaxiaux miniatures 50 Ω	78
Figure A.15 – Sonde d'impédance utilisant deux connecteurs coaxiaux miniatures	78
Figure A.16 – Terminaisons en circuit ouvert et en court-circuit	79
Figure A.17 – Modèle de sonde de mesure.....	79
Figure A.18 – Principe d'extraction.....	80
Figure A.19 – Exemple de structure de PDN prédéfinie.....	81
Figure A.20 – Configuration RL	82
Figure A.21 – Configuration RLC.....	83
Figure A.22 – Configuration RLC avec couplage magnétique	83
Figure A.23 – Impédance vue de Vcc et Gnd	83
Figure A.24 – Composant de PDN complet.....	84
Figure A.25 – Montage pour mesure de corrélation (gauche) et prédiction (droite).....	85
Figure A.26 – Montage utilisé pour mesurer le condensateur de découplage interne	86
Figure B.1 – Schéma équivalent du système électronique complet.....	87
Figure B.2 – Prédiction et mesures d'impédance	88
Figure C.1 – Montage d'essai standard selon la CEI 61967-4.....	89
Figure C.2 – Comparaison entre la prédiction et la mesure	90
Figure D.1 – Prédiction du niveau de bruit de Vddc au niveau de la carte de circuit imprimé	91
Figure D.2 – Bonnes correspondances sur l'enveloppe du bruit.....	92

Tableau A.1 – Paramètres types pour les technologies en logique CMOS	65
Tableau A.2 – Nombre type de portes logiques en fonction de la technologie du CPU	66
Tableau A.3 – Paramètres R, L et C pour divers types de boîtier.....	66
Tableau A.4 – Configurations de mesure et paramètres RLC extraits	81

IECNORM.COM: Click to view the full PDF of IEC 62433-2:2008

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

MODÈLES DE CIRCUITS INTÉGRÉS POUR LA CEM –

**Partie 2: Modèles de circuits intégrés pour la simulation
du comportement lors de perturbations électromagnétiques –
Modélisation des émissions conduites (ICEM-CE)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications, la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62433-2 a été établie par le sous-comité 47A: Circuits intégrés, du Comité d'étude 47 de la CEI: Dispositifs à semiconducteurs.

La présente version bilingue (2013-01) correspond à la version anglaise monolingue publiée en 2008-10.

Le texte anglais de cette norme est issu des documents 47A/794/FDIS et 47A/799/RVD.

Le rapport de vote 47A/799/RVD donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La version française n'a pas été soumise au vote.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 62433, présentées sous le titre général *Modèles de circuits intégrés pour la CEM*, peut être consultée sur le site web de la CEI

Le comité a décidé que le contenu de cette publication restera inchangé jusqu'à la date des résultats de maintenance indiquée sur le site Web de la CEI, "<http://webstore.iec.ch>", pour les données concernant la publication spécifique. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

MODÈLES DE CIRCUITS INTÉGRÉS POUR LA CEM –

Partie 2: Modèles de circuits intégrés pour la simulation du comportement lors de perturbations électromagnétiques – Modélisation des émissions conduites (ICEM-CE)

1 Domaine d'application

La présente partie de la CEI 62433 définit des macromodèles pour circuits intégrés, destinés à simuler les émissions électromagnétiques conduites sur une carte de circuit imprimé. On appelle habituellement ce modèle: Modèle des émissions de circuits intégrés – Émission conduite (ICEM-CE).

Le modèle ICEM-CE peut également être utilisé pour modéliser une puce de circuit intégré, un bloc fonctionnel et un bloc à propriété intellectuelle (IP).

Le modèle ICEM-CE peut être utilisé pour modéliser à la fois des circuits intégrés numériques et analogiques.

Les émissions conduites ont fondamentalement deux origines:

- les émissions conduites par l'intermédiaire des bornes d'alimentation et des structures de référence de masse;
- les émissions conduites par l'intermédiaire des bornes d'entrée/sortie (E/S).

Le modèle ICEM-CE traite ces deux types d'origine en une approche unique.

La présente norme définit les structures et les composants du macromodèle pour la simulation des perturbations électromagnétiques en tenant compte des activités internes du circuit intégré.

La présente norme fournit des données générales, pouvant être mises en œuvre dans des formats ou des langages différents tels que: IBIS, IMIC, SPICE, VHDL-AMS et Verilog. On choisit toutefois SPICE comme environnement de simulation par défaut pour couvrir la totalité des émissions conduites.

La présente norme spécifie également les exigences relatives aux informations qui doivent être incorporées dans chaque modèle ICEM-CE ou élément constituant du modèle pour la circulation du modèle. La syntaxe de la description ne fait toutefois pas partie du domaine d'application de la présente norme.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 61967 (toutes les parties), *Circuits intégrés – Mesure des émissions électromagnétiques, 150 KHz à 1 GHz*

CEI 61967-4, *Circuits intégrés – Mesure des émissions électromagnétiques, 150 kHz à 1 GHz – Partie 4: Mesure des émissions conduites – Méthode par couplage direct 1 Ω /150 Ω*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

3.1

borne externe

borne d'un macromodèle de circuit intégré, interfaçant le modèle avec l'environnement externe du circuit intégré, tel que les broches d'alimentation et les broches d'E/S

NOTE Dans le présent document, le nom de chaque borne externe commence par «ET».

3.2

borne interne

borne d'un composant du macromodèle de circuit intégré, interfaçant le composant avec les autres composants du macromodèle de circuit intégré

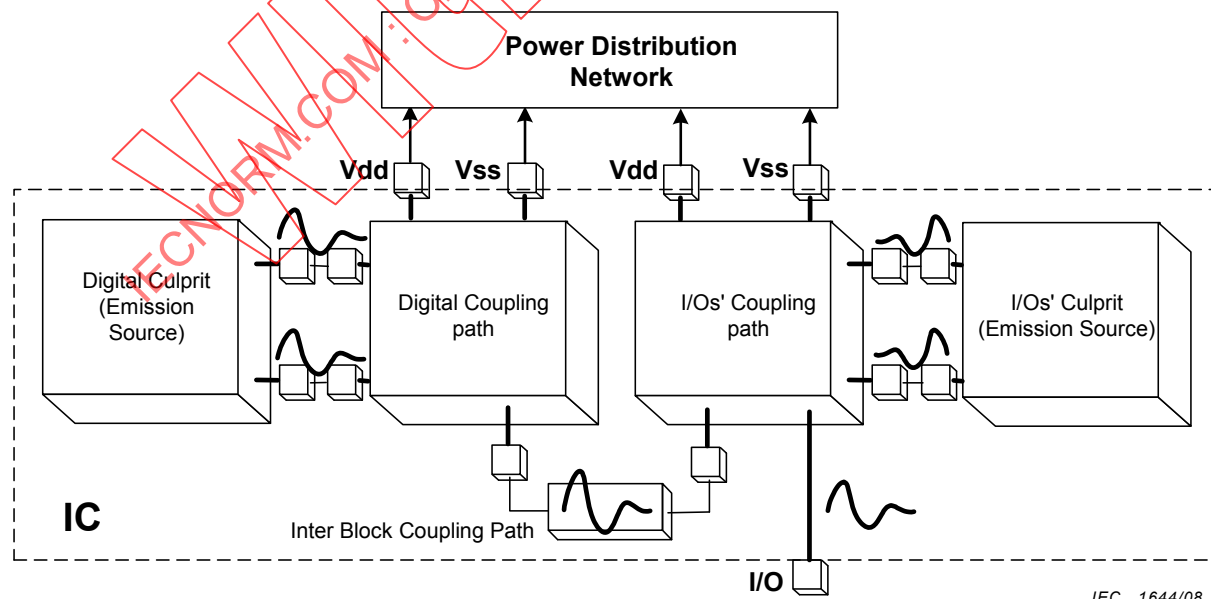
NOTE Dans le présent document, le nom de chaque borne interne commence par «IT».

4 Philosophie

4.1 Généralités

Les circuits intégrés comporteront de plus en plus de portes sur le silicium et le progrès technique se développera plus rapidement. Pour prédire le comportement électromagnétique d'un matériel, il est nécessaire de modéliser efficacement la commutation de l'interface d'entrée et de sortie et les activités internes d'un circuit intégré.

La Figure 1 montre un exemple de décomposition d'un circuit intégré permettant d'effectuer une analyse des émissions conduites. L'activité numérique interne (cause) est une source de bruit électromagnétique provenant de la commutation des dispositifs actifs. Le chemin de couplage propage les émissions vers les bornes externes du circuit intégré: broches/plots. Le chemin de couplage est le réseau de distribution des alimentations ou les lignes d'E/S à l'intérieur du circuit intégré.



IEC 1644/08

Légende

Anglais	Français
Power Distribution Network	Réseau de distribution des alimentations

Anglais	Français
Digital Culprit (Emission Source)	Cause numérique (Source d'émission)
Digital Coupling path	Chemin de couplage numérique
I/O's Coupling path	Chemin de couplage des E/S
I/O's Culprit (Emission Source)	Cause des E/S (Source d'émission)
Inter Block Coupling Path	Chemin de couplage entre blocs
IC	Circuit intégré
I/O	E/S

Figure 1 – Exemple de décomposition d'un circuit intégré numérique pour l'analyse des émissions conduites

4.2 Émission conduite provenant de l'activité du cœur (cause numérique)

Les transitoires de courant sont créés dans la zone de cœur de la puce de circuit intégré. En raison des caractéristiques des chemins de couplage numérique, du réseau de distribution passif sur la carte de circuit intégré (PCB) et de la disponibilité d'un découplage sur la puce, une partie de ces courants transitoires apparaît sur les broches d'alimentation du circuit intégré.

NOTE Ces courants d'alimentation en dehors de la puce peuvent être mesurés en se conformant à la série CEI 61967.

4.3 Émission conduite provenant de l'activité d'E/S

Les activités d'E/S peuvent créer des fluctuations de tension des niveaux de l'alimentation et de la masse, et des émissions conduites apparaissent sur les broches d'alimentation et de masse par l'intermédiaire du chemin de couplage des E/S. Par ailleurs, les signaux de sortie sur les broches de sortie elles-mêmes sont des sources d'émissions conduites vers les cartes de circuit imprimé.

NOTE Le montage de mesure est réalisé conformément à la série CEI 61967.

5 Composants de base

5.1 Généralités

Les composants de base sont des éléments constitutifs du macromodèle de circuit intégré, ou un composant de bloc ou un composant de sous-modèle. Les paragraphes suivants définissent les composants de base.

NOTE Le composant de bloc et le composant de sous-modèle sont respectivement définis en 6.3.1 et 6.4.1.

5.2 Activité interne (IA)

Le composant d'activité interne (IA) constitue la source de bruit électromagnétique provenant de la commutation des dispositifs actifs dans le circuit intégré ou dans une partie du circuit intégré. Ce composant s'applique à la fois aux circuits analogiques et numériques.

L'IA est décrite en utilisant une source de courant indépendante ou une source de tension indépendante avec deux bornes internes, comme représenté à la Figure 2.

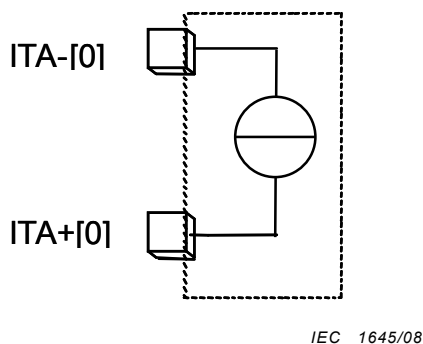


Figure 2 – Composant d'IA

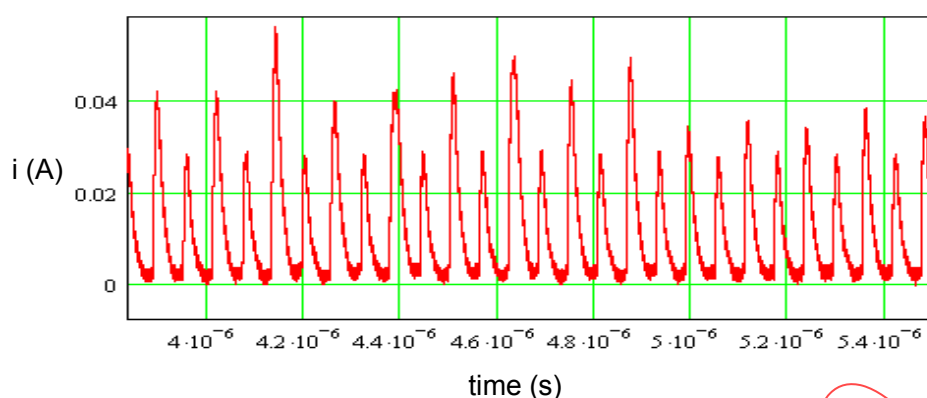
Les caractéristiques du composant d'IA sont généralement décrites dans le domaine temporel, et les caractéristiques peuvent également être décrites dans le domaine fréquentiel.

La description d'un composant d'IA doit contenir les informations suivantes.

- Le nom du composant d'IA
- Les noms de ses bornes internes
- Le mode de fonctionnement ou un vecteur d'essai
- Le domaine (temporel ou fréquentiel)
- La définition de l'origine du temps et le temps de cycle pour le mode de fonctionnement (pour le domaine temporel)
- La définition de l'origine des phases (pour le domaine fréquentiel)
- Les conditions de fonctionnement et les plages applicables
 - a) Plages de tensions d'alimentation
 - b) Plage de températures
 - c) Plage de fréquences
- Les caractéristiques de l'IA
 - a) Forme d'onde de courant ou de tension sur la totalité du temps de cycle (pour le domaine temporel)
 - b) Amplitude et phase de courant ou de tension, en fonction de la fréquence, sur la totalité de la plage de fréquences (pour le domaine fréquentiel)

EXEMPLE 1

La Figure 3 montre un exemple de caractéristiques d'IA dans le domaine temporel. La forme d'onde dépend du mode opérationnel de fonctionnement spécifique. Une forme d'onde simple telle qu'une forme d'onde triangulaire peut être utilisée pour la description d'un composant.



Légende

Anglais	Français
time (s)	temps (s)

Figure 3 – Exemple de caractéristiques d'IA dans le domaine temporel

EXEMPLE 2

La Figure 4 montre un exemple de caractéristiques d'IA dans le domaine fréquentiel.

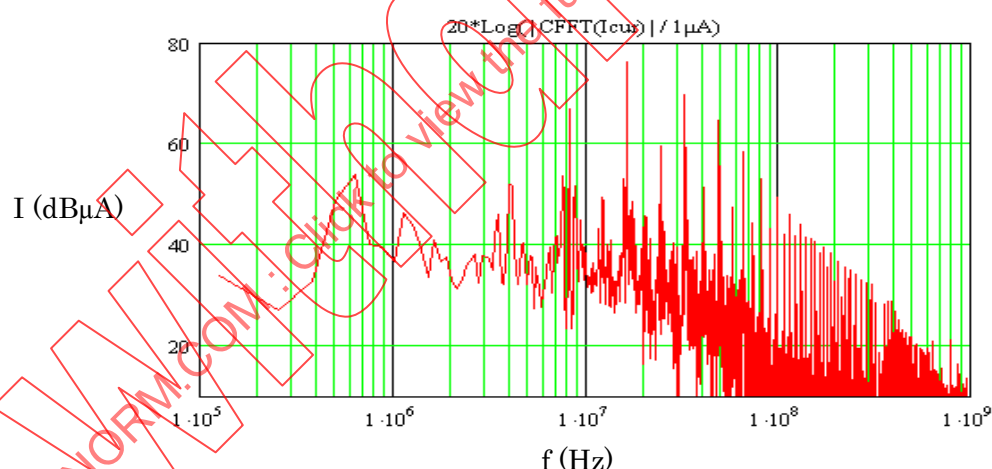


Figure 4 – Exemple de caractéristiques d'IA dans le domaine fréquentiel

5.3 Réseau de distribution passif (PDN)

Le composant de Réseau de distribution passif (PDN) présente les caractéristiques du chemin de propagation des bruits électromagnétiques, tel que le réseau de distribution des alimentations (partie du PDN). Le PDN peut être linéaire ou non linéaire.

Le PDN est constitué d'éléments passifs et il est muni de bornes internes. Par ailleurs, le PDN peut avoir des bornes externes.

Le PDN peut être décrit au moyen d'une liste d'interconnexions. Si le PDN peut être considéré comme linéaire, certains formats matriciels tels que le paramètre S peuvent également présenter les caractéristiques d'un PDN.

La description d'un composant de PDN doit contenir les informations suivantes.

- Le nom du composant de PDN
- Les noms de ses bornes internes et de ses bornes externes
- Les plages applicables
 - a) Plage de tensions d'alimentation
 - b) Plage de températures
 - c) Conditions de charge applicables si le PDN est destiné à la sortie
 - d) Plage de fréquences applicable
- Les caractéristiques du PDN

EXEMPLE 1

La Figure 5 montre un exemple de PDN à quatre bornes utilisant des éléments à constantes localisées. ETVdd et ETVss sont deux bornes externes du PDN. IT[1] et IT[0] sont deux bornes internes.

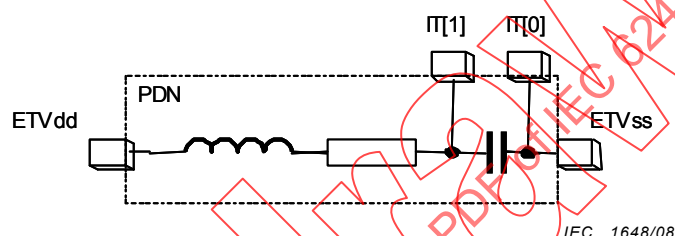


Figure 5 – Exemple de PDN à quatre bornes utilisant des éléments à constantes localisées

EXEMPLE 2

La Figure 6 représente la structure de PDN à sept bornes utilisant des éléments à constantes réparties tels que des lignes de transmission. Les ETVxx sont les quatre bornes externes, les ITVxx sont deux bornes internes et ETGnd est la masse commune des quatre lignes de transmission, raccordée à la masse de la carte de circuit imprimé.

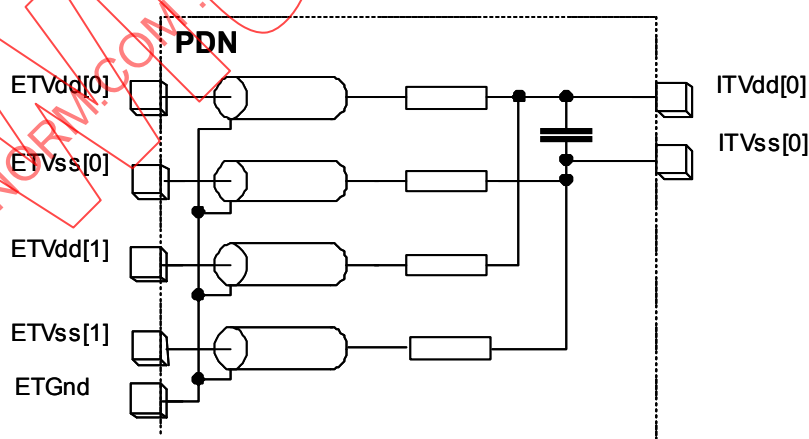


Figure 6 – Exemple de PDN à sept bornes utilisant des éléments à constantes réparties

EXEMPLE 3

La Figure 7 montre un exemple de PDN à douze bornes utilisant des paramètres de dispersion dans un format matriciel (boîte noire). Les ET[x] sont des bornes externes. IT[1] et

IT[6] sont des bornes internes. Un plan de masse au-dessous du circuit intégré modélisé est pris comme masse de référence idéale pour ces bornes.

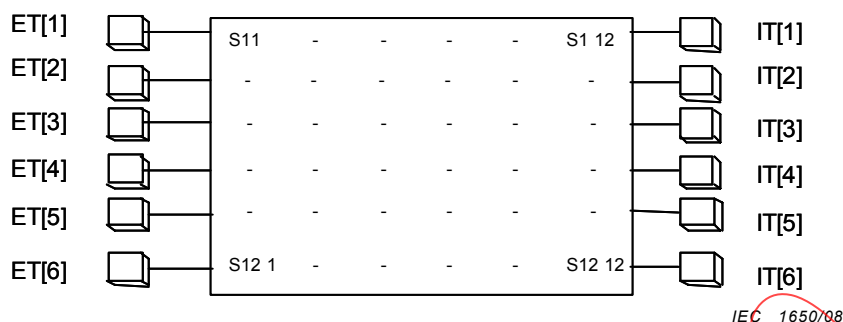


Figure 7 – Exemple de PDN à douze bornes utilisant une représentation matricielle

6 Macromodèles de circuit intégré

6.1 Généralités

Un circuit intégré est modélisé sous forme d'un macromodèle de circuit intégré. Trois types de macromodèle de circuit intégré sont possibles: un modèle général, un modèle à base de blocs et un modèle à base de sous-modèles. Ces macromodèles de circuit intégré sont définis dans le présent paragraphe.

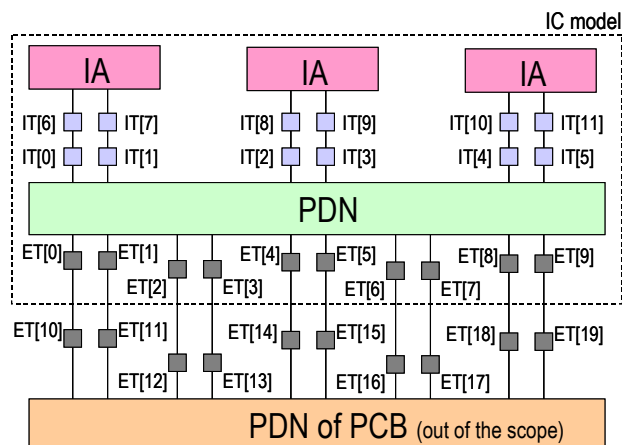
La description d'un macromodèle de circuit intégré doit contenir les informations suivantes concernant la circulation du modèle.

- Le nom du macromodèle de circuit intégré
- Le type de modèle: modèle général ou modèle à base de blocs ou modèle à base de sous modèles
- Les noms des composants qui sont inclus dans le macromodèle de circuit intégré
- Les noms de ses bornes externes
- Les connexions des bornes internes de ses composants

6.2 Macromodèle général de circuit intégré

Le modèle général est constitué d'un simple PDN et d'une ou de plusieurs IA, comme représenté à la Figure 8. Le PDN doit inclure à la fois la totalité du PDN sur la ou les puces de circuit intégré et la totalité du PDN du boîtier. Un condensateur de découplage sur la puce doit également être inclus dans le PDN s'il existe.

NOTE Cette structure est adaptée à la circulation de modèle pour des utilisateurs de circuit intégré en raison de la divulgation restreinte des informations confidentielles du fournisseur de circuit intégré.



IEC 1651/08

Légende

Anglais	Français
IC model	Modèle de circuit intégré
PDN of PCB (out of the scope)	PDN de la carte de circuit imprimé (hors domaine d'application)

Figure 8 – Macromodèle général de circuit intégré

6.3 Macromodèle de circuit intégré à base de blocs

6.3.1 Composant de bloc

Le composant de bloc représente les propriétés de compatibilité électromagnétique d'un bloc fonctionnel spécifique de circuit intégré tel qu'une mémoire incorporée.

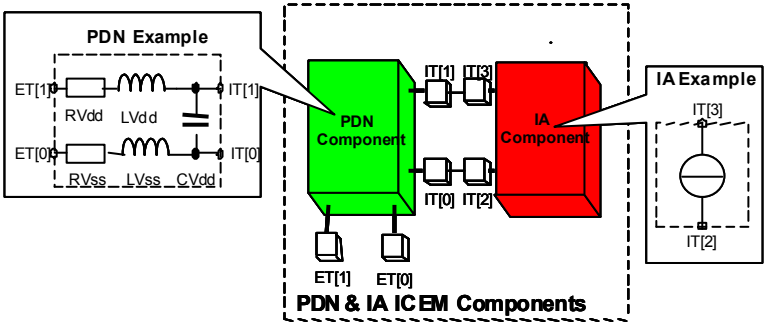
Le composant de bloc est constitué d'un simple PDN et d'une ou de plusieurs IA. Le PDN comporte un PDN du bloc fonctionnel spécifique, une partie du réseau global d'alimentation/de masse et une partie du PDN de boîtier, qui sont directement impliqués dans la fonctionnalité du bloc. Le condensateur de découplage sur la puce fait partie du PDN. Le composant est équipé de bornes externes et de bornes internes.

La description d'un composant de bloc doit inclure les informations suivantes.

- Le nom du composant de bloc
- Les noms des composants de base constituant le composant de bloc
- Les connexions des bornes internes de ses composants de base

EXEMPLE 1

La Figure 9 montre un exemple de composant de bloc. Le bloc est constitué d'une IA et d'un PDN. Les bornes internes de l'IA sont raccordées aux bornes internes du PDN.



IEC 1652/08

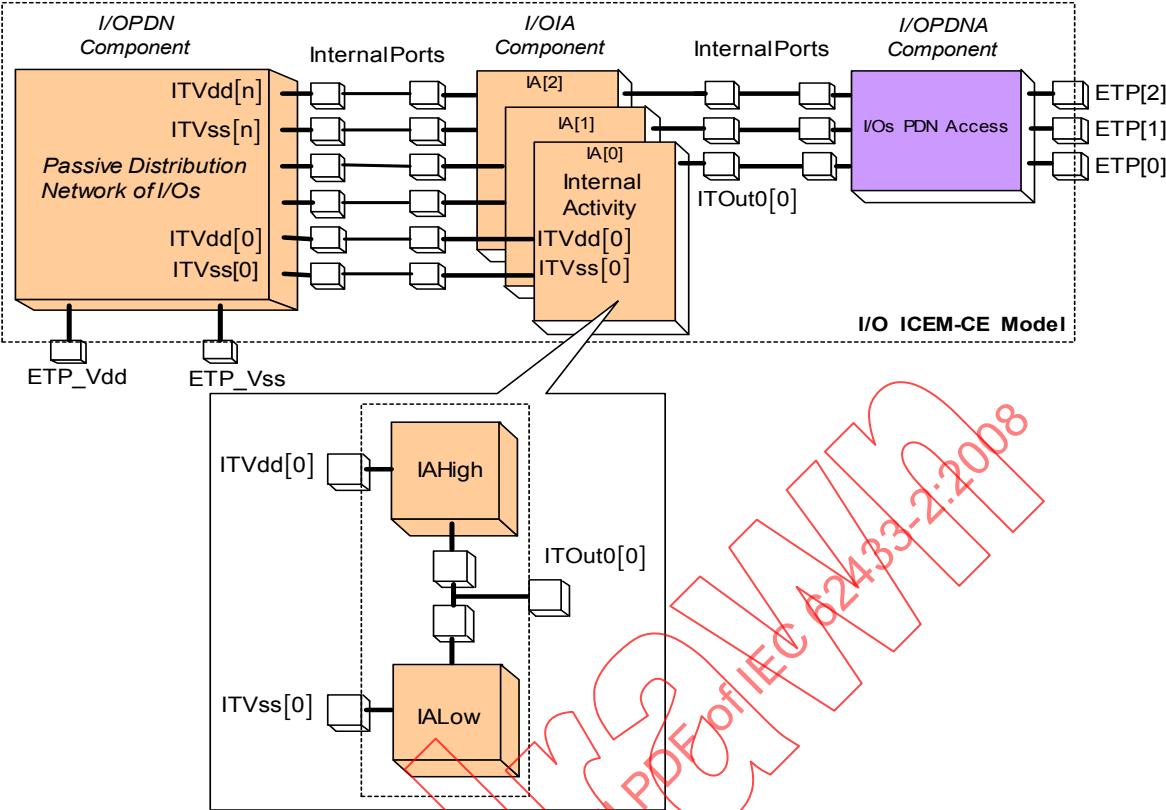
Légende

Anglais	Français
PDN Example	Exemple de PDN
PDN Component	Composant de PDN
IA Component	Composant d'IA
PDN & IA IC EM Components	Composants EM de circuit intégré PDN et IA
IA Example	Exemple d'IA

Figure 9 – Exemple de composant de bloc

EXEMPLE 2

La Figure 10 représente un modèle à trois E/S. Le composant d'I/OPDN décrit la façon dont sont alimentées les E/S et I/OPDNA décrit les caractéristiques de transfert de bruit entre les bornes. Les composants d'I/OIA décrivent l'activité en cours. Ils sont réalisés en utilisant deux composants d'IA; le premier pour spécifier le comportement à l'état haut et l'autre pour spécifier l'état bas. La figure 10 représente deux types de composants d'I/OPDN du modèle d'E/S complet. Le modèle IBIS peut constituer un exemple de mise en œuvre.



IEC 1653/08

Légende

Anglais	Français
I/OPDN Component	Composant d'I/OPDN
Internal Ports	Accès internes
I/OIA Component	Composant d'I/OIA
Internal Ports	Accès internes
I/OPDNA Component	Composant d'I/OPDNA
Passive Distribution Networks of I/Os	Réseaux de distribution passifs d'E/S
Internal Activity	Activité interne
I/Os PDN Access	Accès PDN d'E/S
IO ICEM-CE Model	Modèle ICEM-CE d'E/S

Figure 10 – Exemple de composants de bloc pour E/S

6.3.2 Composant de couplage entre blocs (IBC)

Le couplage entre blocs (IBC) est un réseau d'éléments passifs présentant un effet de couplage entre blocs. L'IBC est muni de deux bornes internes au moins.

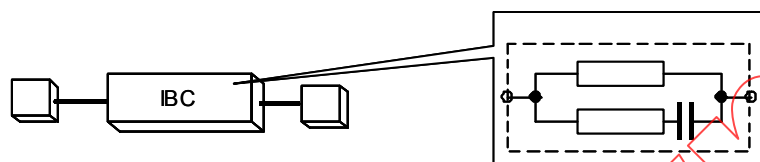
La description d'un composant d'IBC doit contenir les informations suivantes.

- Le nom de l'IBC
- Les noms de ses bornes internes
- Les plages applicables
 - a) Plages de tensions d'alimentation

- b) Plage de températures
- c) Plage de fréquences applicable
- Les caractéristiques de l'IBC

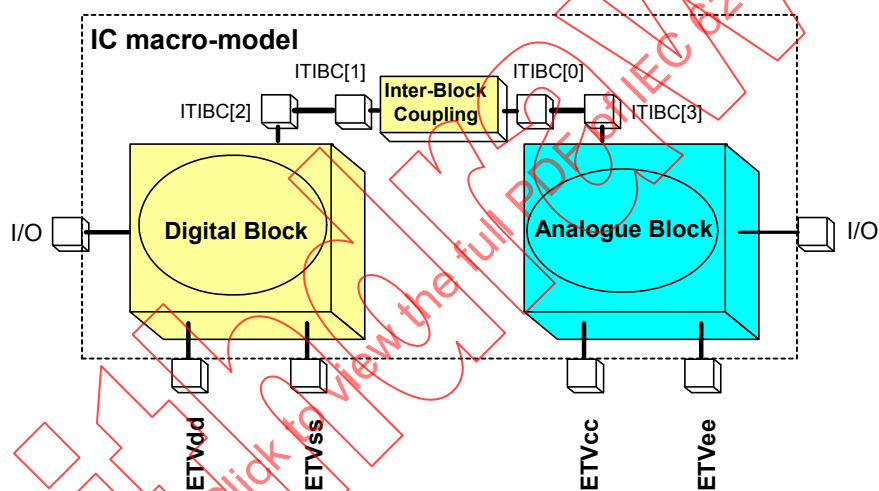
EXEMPLE

La Figure 11 montre un exemple d'IBC. La relation entre le bloc et l'IBC est représentée à la Figure 12.



IEC 1654/08

Figure 11 – Exemple d'IBC avec deux bornes internes



IEC 1655/08

Légende

Anglais	Français
IC macro-model	Macromodèle de circuit intégré
Inter-Block Coupling	Couplage entre blocs
Digital Block	Bloc numérique
Analyse Block	Bloc analogique

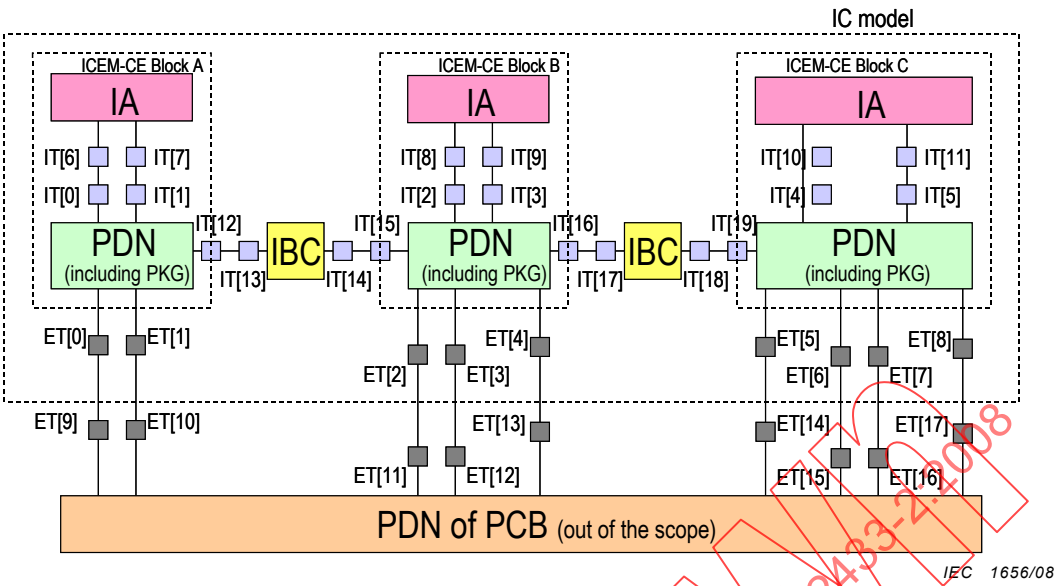
Figure 12 – Relation entre blocs et IBC

6.3.3 Structure de macromodèle de circuit intégré à base de blocs

La structure à base de blocs est représentée à la Figure 13. Le modèle est constitué de composants de bloc et de composants d'IBC. Le PDN de câblage global sur la puce et le PDN sur le boîtier sont incorporés dans les PDN des blocs.

NOTE 1 Cette structure est adaptée à une modélisation à partir de mesures.

NOTE 2 En combinant des PDN de bloc et des IBC, cette structure peut être convertie en une structure générale.



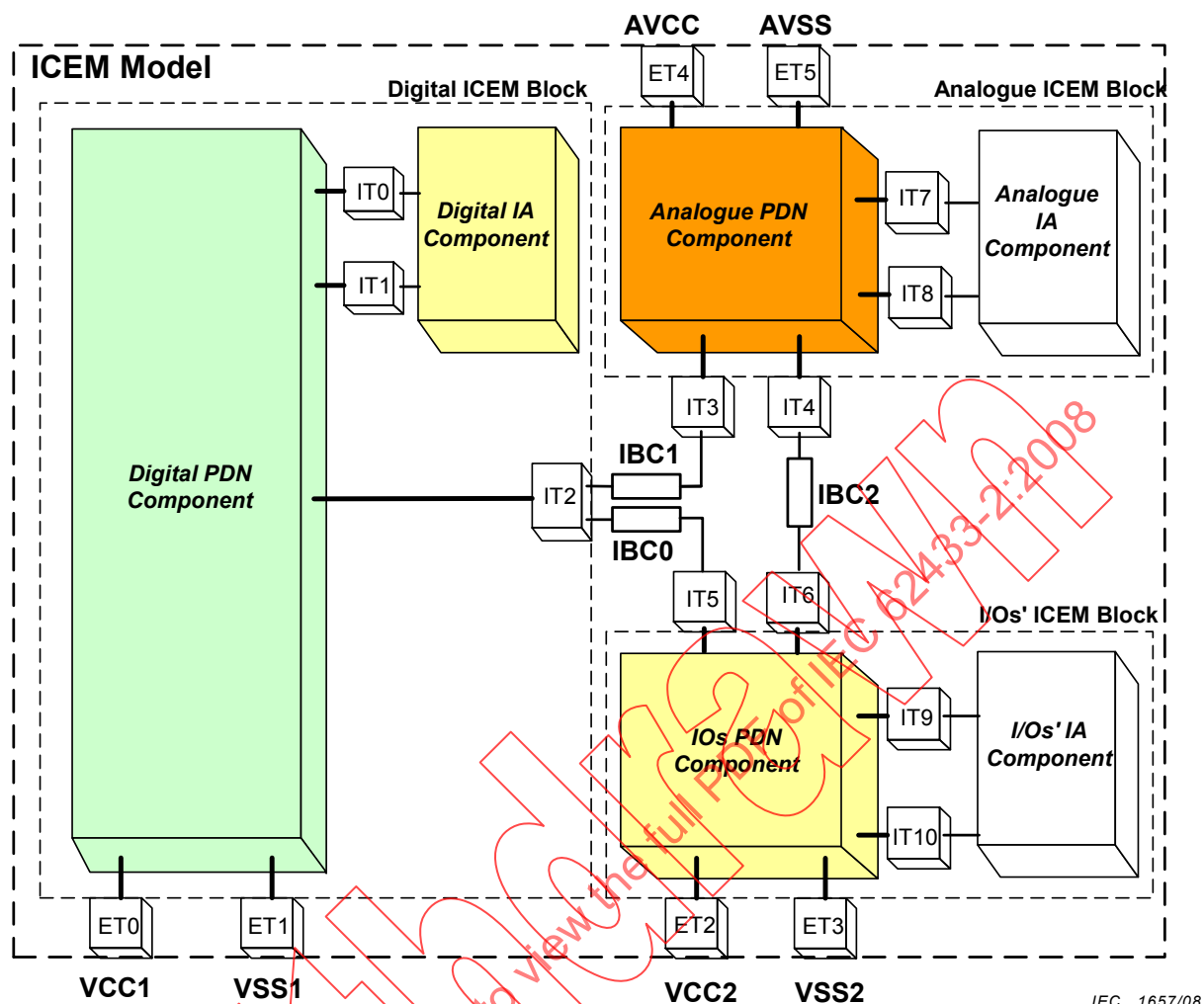
Légende

Anglais	Français
IC model	Modèle de circuit intégré
ICEM-CE Block A	Bloc ICEM-CA A
ICEM-CE Block B	Bloc ICEM-CA B
ICEM-CE Block C	Bloc ICEM-CA C
PDN (including PKG)	PDN (boîtier inclus)
PDN (including PKG)	PDN (boîtier inclus)
PDN (including PKG)	PDN (boîtier inclus)
PDN of PCB (out of the scope)	PDN de la carte de circuit imprimé (hors domaine d'application)

Figure 13 – Macromodèle de circuit intégré à base de blocs

EXEMPLE

La Figure 14 montre un exemple de macromodèle de circuit intégré à base de blocs. Chaque bloc possède deux bornes externes et trois bornes internes. Trois blocs d'IBC interconnectent les bornes internes, IT2, IT3, IT4, IT5 et IT6. Dans cet exemple, on utilise des IBC pour modéliser le couplage du substrat provoqué par la résistance de surface entre les trois bornes de masse internes.



Légende

Anglais	Français
ICEM Model	Modèle ICEM
Digital ICEM Block	Bloc ICEM numérique
Analog ICEM Block	Bloc ICEM analogique
Digital IA Component	Composant d'IA numérique
Analogue PDN Component	Composant de PDN analogique
Analogue IA Component	Composant d'IA analogique
Digital PDN Component	Composant de PDN numérique
I/Os PDN Component	Composant de PDN d'E/S
I/Os' IA Component	Composant d'IA d'E/S
I/Os' ICEM Block	Bloc ICEM d'E/S

Figure 14 – Exemple de macromodèle de circuit intégré à base de blocs

6.4 Macromodèle de circuit intégré à base de sous-modèles

6.4.1 Composant de sous-modèle

Le sous-modèle de la Figure 16 représente le comportement électromagnétique de circuits fonctionnels spécifiques d'un circuit intégré. Une propriété intellectuelle (IP) doit être

modélisée par un sous-modèle et certains circuits fonctionnels spécifiques tels qu'une mémoire incorporée et un cœur de CPU peuvent être modélisés à l'aide du sous-modèle. Le sous-modèle peut être utilisé de manière répétée dans le circuit intégré et/ou dans d'autres circuits intégrés.

Le sous-modèle est constitué d'un simple PDN et d'une ou de plusieurs IA. Ce PDN est un PDN des circuits fonctionnels spécifiques. Le sous-modèle est muni de bornes internes mais ne comporte aucune borne externe.

La description d'un sous-modèle doit contenir les informations suivantes.

- Le nom du sous-modèle
- Les noms de ses bornes internes
- Les noms des composants de base qui sont inclus dans le sous-modèle
- Les connexions des bornes internes des composants de base

EXEMPLE

La Figure 15 montre un exemple simple de sous-modèle.

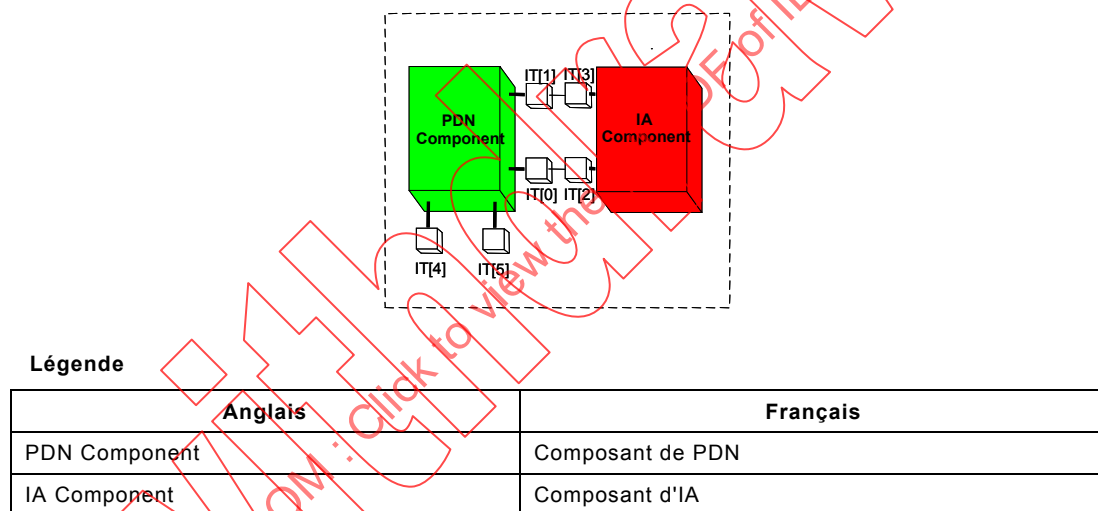


Figure 15 – Exemple simple de sous-modèle

6.4.2 Structure de macromodèle de circuit intégré à base de sous-modèles

La structure basée sur un sous-modèle est représentée à la Figure 16. Elle est constituée d'un ou de plusieurs sous-modèles, un PDN de puce et un PDN de boîtier. Le PDN de puce inclut le réseau global d'alimentation/de masse de la puce de circuit intégré et le condensateur de découplage sur la puce s'il existe, mais ne comporte pas de PDN appartenant à des sous-modèles. Certaines IA telles que l'IA pour les circuits de cellule standard peuvent être directement raccordées au PDN de la puce (non représenté sur la figure).

NOTE 1 Cette structure est adaptée à une modélisation utilisant les informations de conception d'un circuit intégré.

NOTE 2 En combinant des PDN de la totalité du macromodèle de circuit intégré, un macromodèle de circuit intégré à base de sous-modèles peut être converti en un macromodèle de circuit intégré général.

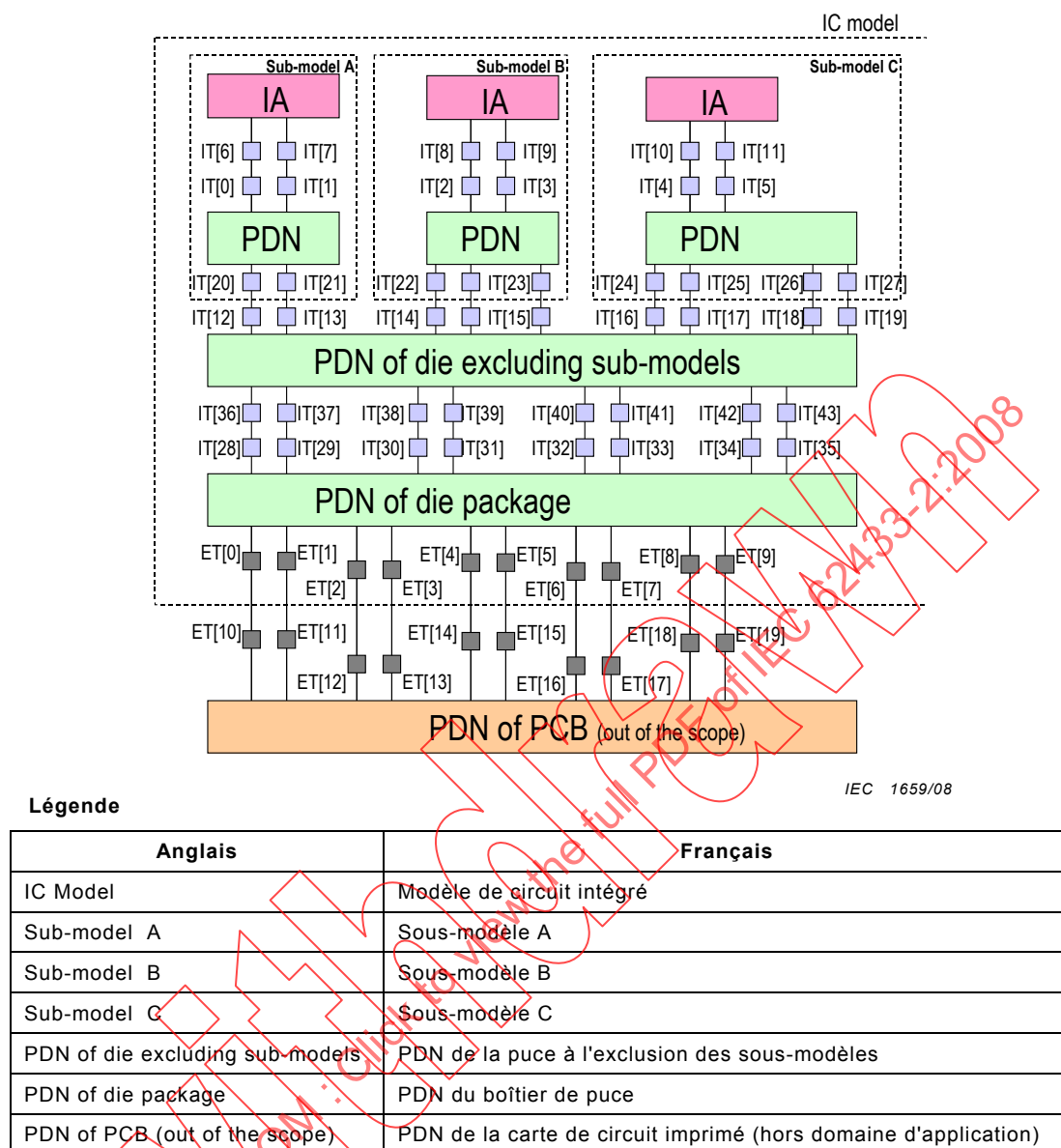


Figure 16 – Macromodèle de circuit intégré à base de sous-modèles

7 Exigences relatives à l'extraction de paramètres

7.1 Généralités

Les paramètres des modèles d'ICEM-CE peuvent être extraits à partir d'informations de conception ou de mesures. La méthodologie détaillée des extractions de paramètres de modèles n'est pas l'objet de la présente norme. Cet article fournit les exigences de base pour les extractions de paramètres de modèles d'après des mesures.

NOTE L'Annexe A donne des exemples d'extractions de paramètres à partir des informations de conception et de mesures.

7.2 Contrainte d'extraction liées à l'environnement

Les extractions de paramètres de macromodèles d'ICEM doivent être réalisées dans des conditions normales de température ambiante: $23\text{ °C} \pm 5\text{ °C}$. Aucune exigence supplémentaire ne s'applique à la pression et à l'humidité de l'air.

Lorsqu'on utilise du silicium ouvert, l'éclairage doit être atténué ou éteint afin de ne pas générer d'effet photonique.

NOTE Certains matériaux de substrat sont hygroscopiques, ce qui peut avoir une influence sur la permittivité du matériau et sur la tangente de son angle de perte.

7.3 Extraction des paramètres d'IA

L'IA peut être déterminée par des données de conception ou par des calculs à l'aide de mesures dans les conditions suivantes:

- Des tensions d'alimentation nominales et des charges types doivent être appliquées au dispositif soumis à l'essai.
- Des signaux d'entrée tels que le vecteur d'essai spécifique correspondant au mode de fonctionnement spécifique doivent être appliqués.

7.4 Extraction des paramètres du PDN

Les paramètres du PDN doivent être déterminés en analysant les impédances entre les bornes avec les alimentations nominales.

Les paramètres déterminés ne conviennent et ne sont réutilisables que pour des simulations d'émission conduite lorsque les conditions de PVT (processus, tension et température) sont les mêmes.

NOTE 1 Le PDN est statique, mais en raison des capacités du puits N et de l'oxyde de grille qui sont impliquées, la tension d'alimentation influe sur celui-ci.

NOTE 2 La plupart des paramètres d'impédance peuvent être déterminés d'après des mesures en utilisant un analyseur d'impédance ou un VNA (analyseur de réseau vectoriel) de paramètres S.

7.5 Extraction des paramètres d'IBC

L'impédance d'IBC peut être déterminée d'après l'impédance Vdd à Vss en soustrayant la partie d'impédance appartenant au PDN. Il conviendra dans l'avenir d'élaborer une méthode détaillée.

Annexe A (informative)

Génération des paramètres de modèle

A.1 Introduction

Le but de cette annexe est d'expliquer les méthodologies utilisées pour extraire les composants. Il existe trois façons différentes pour y parvenir:

- On peut utiliser les paramètres par défaut lorsqu'aucune autre donnée n'est disponible.
- Paramètres déterminés d'après des outils d'extraction d'éléments parasites, pouvant être utilisés à la phase de conception du circuit intégré et/ou simulateur de champ électromagnétique 3D.
- Paramètres déterminés d'après des mesures lorsque le circuit intégré est déjà disponible.

A.2 Structure et valeurs par défaut

A.2.1 Généralités

Les composants de PDN et d'IA peuvent être obtenus en utilisant des données technologiques communiquées par les fournisseurs de circuits intégrés et de boîtiers. L'exactitude des valeurs par défaut est relativement faible par rapport aux valeurs obtenues par des mesures ou des informations de conception.

A.2.2 Paramètres d'IA

La structure d'IA est représentée à la Figure 2. Il est possible de déterminer rapidement le composant d'IA en utilisant les données technologiques, qui peuvent être obtenues auprès des fournisseurs de circuits intégrés. Le Tableau A.1 montre les valeurs types des paramètres.

À titre d'exemple, pour une technologie ASIC à 0,5 μm , la densité des cellules est d'environ 7 000. Le nombre probable de cellules sur une surface de $3 \times 3 \text{ mm}^2$ est approximativement de $7\,000 \times 9 = 63 \text{ k}$ portes. Si l'on considère qu'en moyenne 10 % des cellules commutent en même temps, le courant de CPU probable à chaque front d'horloge est de $63 \text{ k portes} \times 10 \% \times 0,75 \text{ mA} = 4\,725 \text{ mA}$.

Tableau A.1 – Paramètres types pour les technologies en logique CMOS

Technologie CMOS	Année	Alimentation V	Densité des cellules /mm ²	Fréquence d'horloge MHz	Courant grille crête mA/porte	Temps de montée/descente ns
1,2 μm	1985	5	1 500	4 à 50	1,1	0,7
0,8 μm	1990	5	4 000	4 à 90	0,9	0,5
0,5 μm	1993	5	7 000	8 à 120	0,75	0,3
0,35 μm	1995	5 à 3,3	13 000	16 à 300	0,6	0,2
0,25 μm	1997	5 à 2,5	18 000	40 à 450	0,4	0,12
0,18 μm	1999	3,3 à 2,0	22 000	100 à 900	0,3	0,1
0,12 μm	2001	2,5 à 1,2	28 500	150 à 1 200	0,2	0,07

Le Tableau A.2 indique le nombre de portes logiques par défaut pour des microcontrôleurs types.

À titre d'exemple, un microcontrôleur RISC 16 bits est fabriqué avec une technologie à 0,25 μm . Le microcontrôleur possède approximativement 15 000 portes. Le courant de CPU probable à chaque front d'horloge est de $15\,000 \times 10\% \times 0,4\text{ mA} = 600\text{ mA}$. Le temps de montée et de descente du courant crête est de 0,12 ns.

Tableau A.2 – Nombre type de portes logiques en fonction de la technologie du CPU

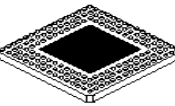
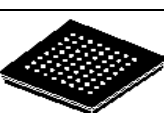
Technologie du CPU	Nombre total de cellules logiques	Commutation synchrone sur front d'horloge
8 bits CISC	3 000 à 5 000	300 à 500
8 bits RISC	3 000 à 5 000	300 à 500
16 bits CISC	15 000 à 20 000	1 500 à 2 000
16 bits RISC	12 000 à 18 000	1 200 à 1 800
32 bits CISC	40 000 à 60 000	4 000 à 6 000
32 bits RISC	40 000 à 60 000	4 000 à 6 000

A.2.3 Paramètres du PDN

La structure par défaut d'un PDN est indiquée à la Figure 5.

Les données technologiques communiquées par les fournisseurs de boîtiers permettent de réaliser rapidement un composant de PDN. Les valeurs types de R, L et C sont résumées dans le Tableau A.3. Ces valeurs sont utilisées dans la plage de fréquences allant du courant continu jusqu'à environ 1 GHz.

Tableau A.3 – Paramètres R, L et C pour divers types de boîtier

Boîtier	Nombre de broches	R	L	C
 Boîtier à deux rangées de broches (DIL)	64 broches	0,025 Ω à 0,075 Ω	2 nH à 15 nH	1 pF à 10 pF
 Boîtier réduit à deux rangées de broches (SDIL)	64 broches	0,025 Ω à 0,1 Ω	1 nH à 10 nH	1 pF à 10 pF
 Boîtier de faible encombrement (SOP)	64 broches	0,025 Ω à 0,05 Ω	1 nH à 7 nH	1 pF à 7 pF
 Boîtier plat quadrangulaire (QFP)	400 broches	0,035 Ω à 0,55 Ω	3 nH à 7 nH	2 pF à 5 pF
 Boîtier matriciel à billes (BGA)	800 broches	0,05 Ω à 0,15 Ω	0,5 nH à 10 nH	1 pF à 10 pF
 Boîtier matriciel à billes et à pas fin (FBGA)	1500 broches	0,05 Ω à 0,2 Ω	0,5 nH à 10 nH	1 pF à 20 pF
 Boîtier puce moulé (MCSP)	1500 broches	0,025 Ω à 0,1 Ω	0,5 nH à 5 nH	1 pF à 15 pF

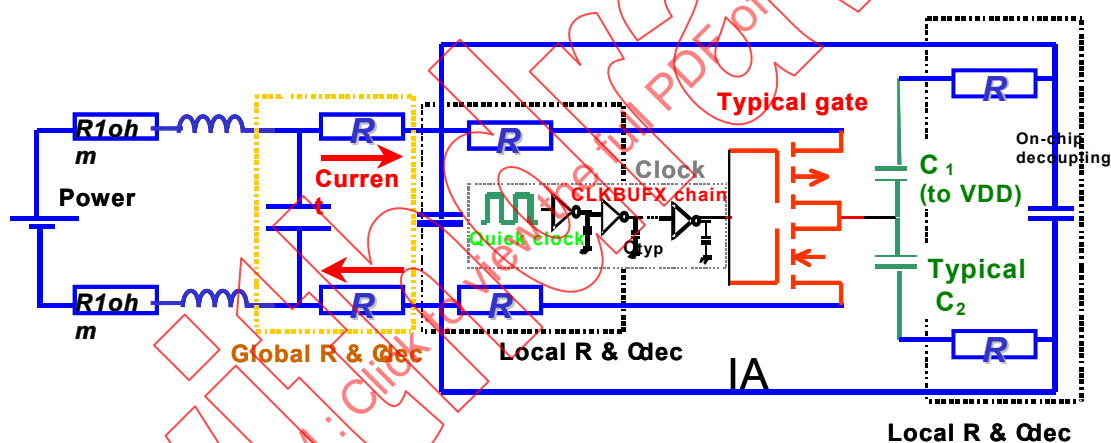
A.3 Génération des paramètres de modèle à partir des informations de conception

A.3.1 Généralités

Les fournisseurs de circuits intégrés peuvent extraire des paramètres de leurs informations de conception en utilisant des outils de conception de circuits intégrés.

A.3.2 Paramètres d'IA

La source de courant est le composant principal du modèle ICEM-CE: elle résume la contribution de toutes les portes logiques au courant traversant les broches d'alimentation du composant. La simulation du comportement est une approche statistique pouvant être réalisée à une étape précoce du déroulement de la conception (par exemple, l'implantation n'est pas nécessaire) et on peut prendre en compte un nombre de portes très important. La façon de construire la source de courant est fondée sur une évaluation statistique des éléments de cœur, le choix de la porte la plus représentative (la porte la plus fréquemment utilisée dans la conception), le choix de la charge type de la porte. Une simulation au niveau circuit peut être effectuée d'après ces informations pour extraire le courant consommé par la porte type. Dans un microcontrôleur 16 bits particulier par exemple, la porte la plus répandue est un inverseur. La Figure A.1 est un schéma d'essai destiné à définir la forme d'onde de courant type.



IEC 1660/08

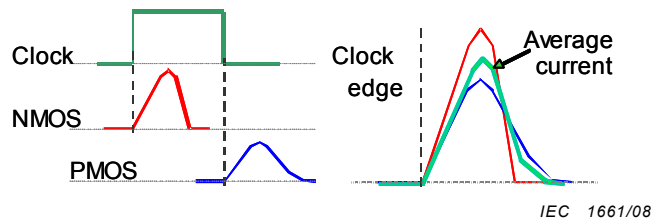
Légende

Anglais	Français
Power	Alimentation
Current	Courant
Global R and Cdec	R et Cdec global
Local R and Cdec	R et Cdec local
On-chip decoupling	Découplage sur la puce
C ₁ (to VDD)	C ₁ (vers VDD)
Typical C ₂	C ₂ type
Local R and Cdec	R et Cdec local

Figure A.1 – Schéma type de caractérisation de porte de courant

Cet exemple présente la description du PDN, des réseaux de découplage sur la puce, locaux et répartis, et la description de l'IA. Puisque l'inverseur possède une structure non symétrique, le courant de crête n'est pas le même pour l'allumage et l'extinction: la moyenne

entre ces deux formes d'onde de courant est donc nécessaire à l'approche donnée à la Figure A.2.

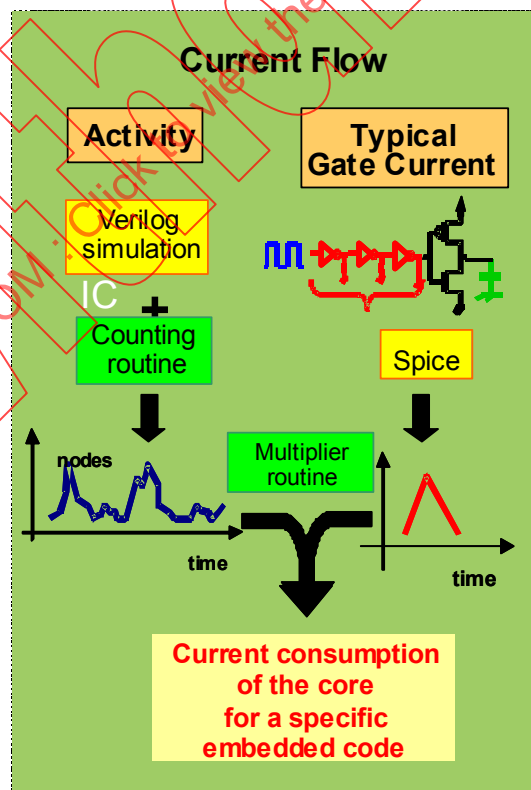


Légende

Anglais	Français
Clock	Horloge
Clock edge	Front d'horloge
Average current	Courant moyen

Figure A.2 – Courant crête pendant une transition de commutation

La deuxième partie de la méthodologie consiste à multiplier cette forme d'onde de courant élémentaire par le nombre de portes commutant en même temps. La Figure A.3 illustre cette étape. L'objectif est d'obtenir le nombre de nœuds logiques changeant d'état en fonction du temps pour un logiciel donné mis en œuvre dans le microcontrôleur. La faisabilité de cette opération est possible grâce au code source Verilog, qui modélise le microcontrôleur. Différents types d'analyse peuvent être effectués, par exemple la simulation du meilleur cas (BCS), la simulation du pire cas (WCS) et les simulations de certains cas délicats de la technologie.



IEC 1662/08

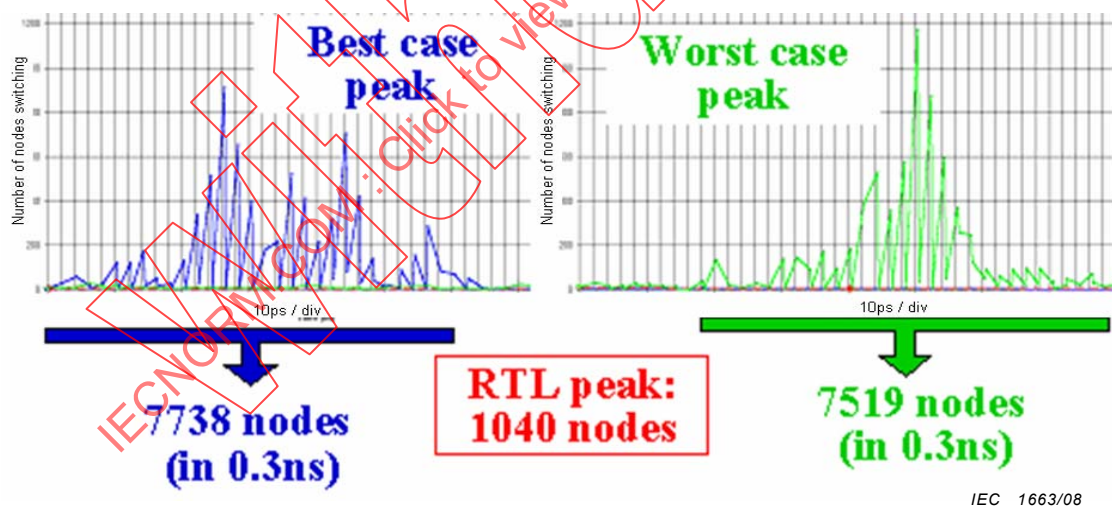
Légende

Anglais	Français
Current flow	Circulation de courant

Anglais	Français
Activity	Activité
Typical Gate Current	Courant de grille type
Verilog simulation	Simulation Verilog
I/O	E/S
Counting routine	Routine de comptage
Spice	Spice
Multiplier routine	Routine de multiplieur
time	temps
Current consumption of the core for a specific embedded code	Consommation de courant du noyau pour un code incorporé spécifique
nodes	nœuds
time	temps

Figure A.3 – Exemple de procédure d'extraction d'IA à partir de la conception

La comparaison de l'activité entre ces deux cas est indiquée à la Figure A.4. On détermine en fait que la crête dans le pire cas présente le retard de propagation minimal du signal et l'inverse pour la crête dans le meilleur cas. En fait, l'impact est que la crête dans le pire cas présente une meilleure synchronisation du signal et un plus grand nombre de portes commutent en même temps. La crête de courant est donc plus aiguë et la valeur maximale est supérieure à celle de la crête dans le meilleur cas. La crête dans le meilleur cas a donc été choisie pour la fin de cette étude. Sur la Figure A.4, l'élément «Crête RTL» signifie niveau transfert de registre.



Légende

Anglais	Français
Best case peak	Crête dans le meilleur cas
Worst case peak	Crête dans le pire cas
7738 nodes (in 0,3ns)	7738 nœuds (en 0,3 ns)
RTL peak: 1040 nodes	Crête RTL: 1040 nœuds
7519 nodes (in 0,3ns)	7519 nœuds (en 0,3 ns)
Number of nodes switching	Nombre de commutations de nœud

Figure A.4 – Influence de la technologie

La forme d'onde finale correspondant à un code interne spécifique incorporé dans le microcontrôleur est indiquée à la Figure A.5.

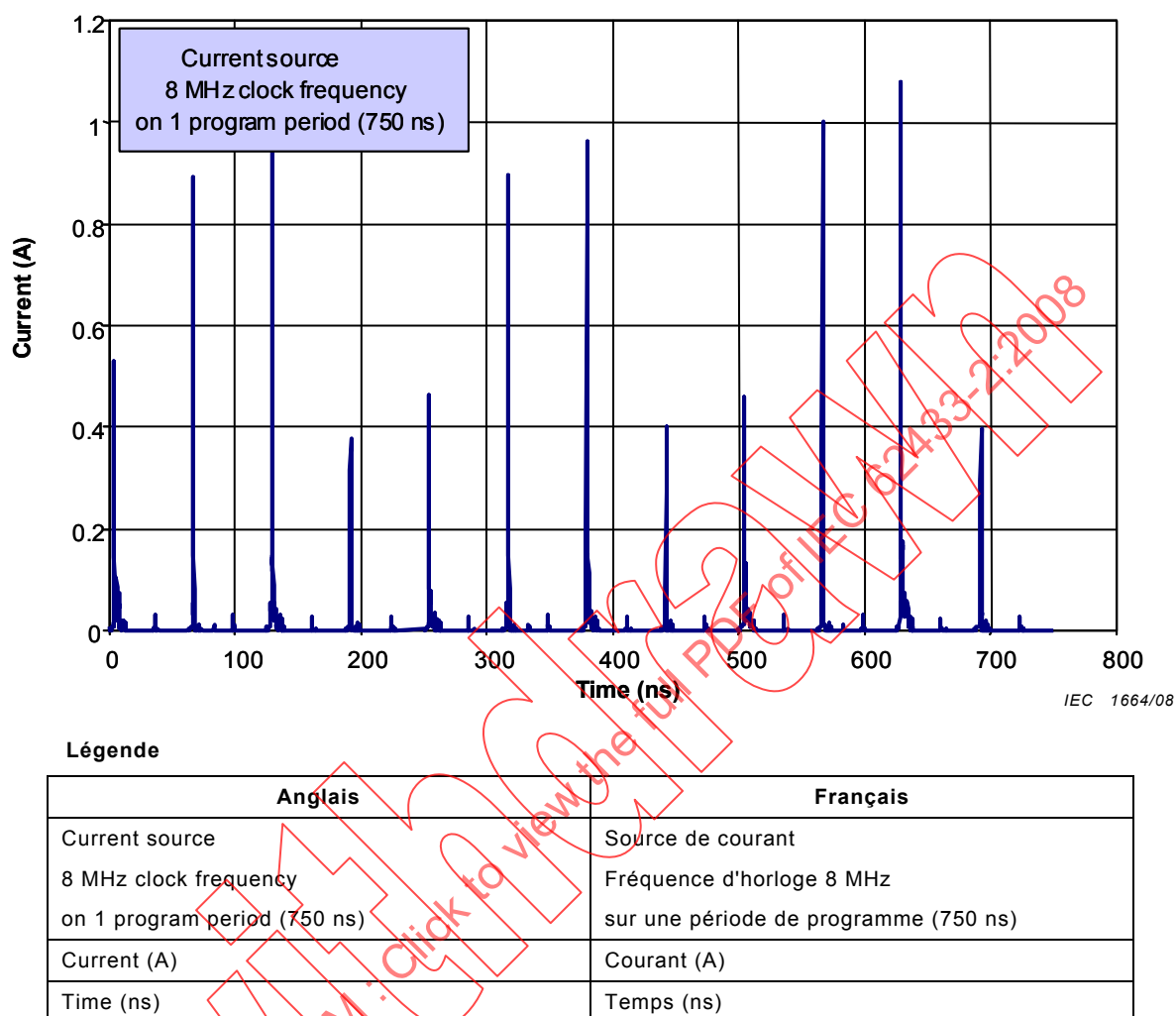


Figure A.5 – Forme d'onde de courant finale pour une période de programme

La validation de cette méthodologie a été réalisée en utilisant la mesure de la CEI 61967-4 (émission conduite) sur l'alimentation. Le courant a été mesuré à travers la résistance de 1 Ω insérée dans le trajet de masse du circuit intégré. La partie passive du modèle ICEM-CE a été obtenue au moyen des paramètres par défaut décrits à l'Annexe C. En fait, la carte de circuit imprimé d'essai a également été modélisée par un bloc RLC en utilisant la formule classique d'identification des paramètres RLC.

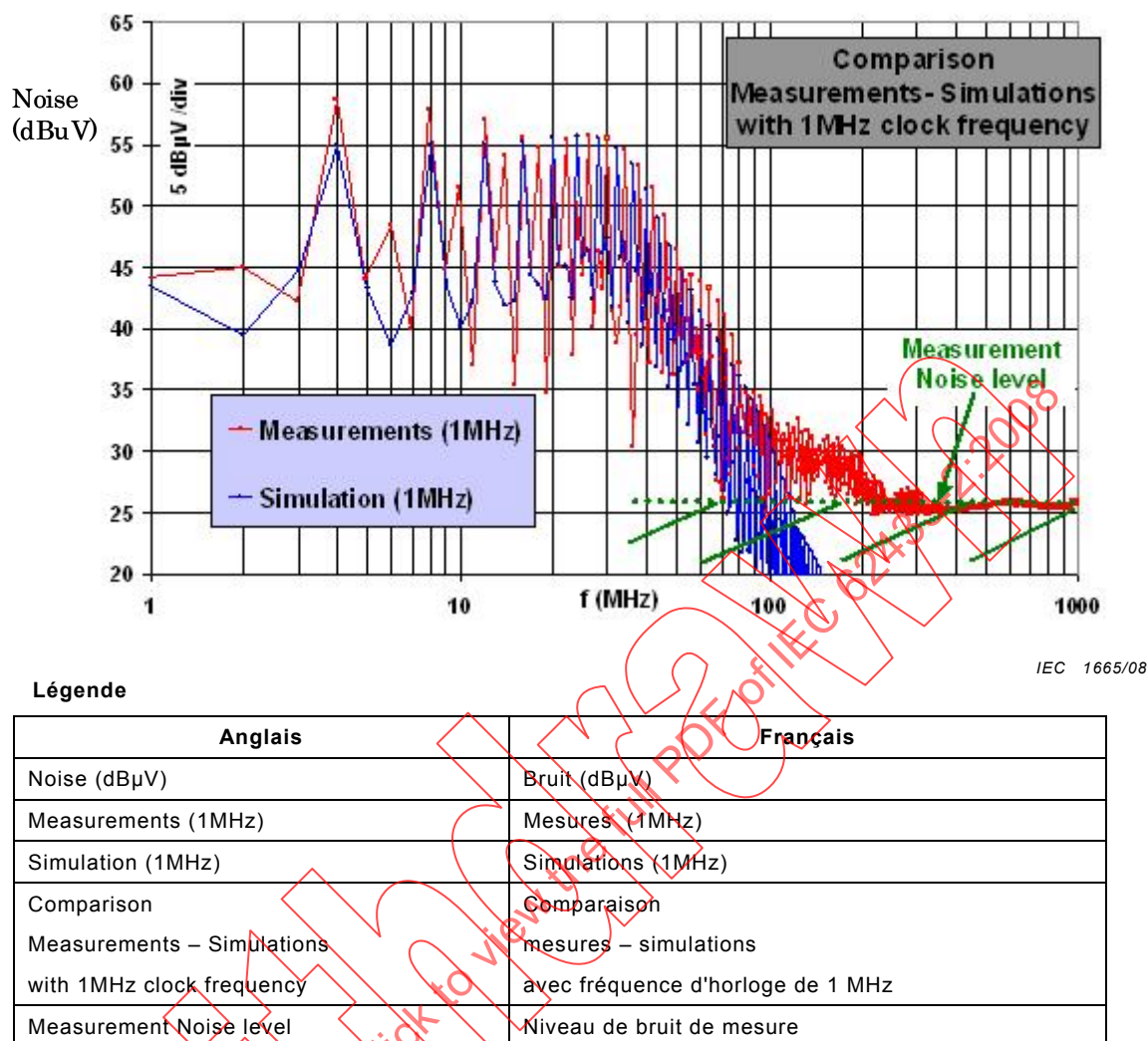


Figure A.6 – Comparaison entre la mesure et la simulation

Sur la Figure A.6, on peut observer qu'il est possible de prédire la crête de courant des harmoniques jusqu'à 100 MHz. On a effectué d'autres mesures avec d'autres microcontrôleurs 16 bits et on a obtenu les mêmes résultats. On peut donc considérer que la méthodologie de simulation est correcte mais qu'elle nécessite une amélioration pour augmenter la plage de fréquences de validité. En ce qui concerne cette méthodologie, un grand nombre d'approximations sont effectuées et en particulier pour la modélisation des interconnexions, du boîtier et de la carte de circuit imprimé. La nécessité d'augmenter la fréquence obligera à utiliser des méthodes RF pour l'extraction passive, de liaison et de boîtier, comme cela a été présenté à l'alinéa précédent.

A.3.3 Paramètres du PDN

La modélisation du boîtier et des fils de liaison peut être déterminée en utilisant un résolveur EM 3D. On obtient à partir de cette simulation le fichier de paramètres S de l'ensemble du trajet et il est ensuite réduit à un modèle d'élément à constantes localisées, en fonction de l'exactitude nécessaire pour la simulation. Une autre solution consiste à utiliser l'approche mathématique, en utilisant des résolveurs, pour calculer les paramètres du modèle d'élément à constantes localisées directement lié à la géométrie du boîtier. La structure du modèle est indiquée à la Figure A.7 et elle peut être réduite par l'une des méthodes de réduction d'ordre, en fonction de l'exactitude nécessaire pour la simulation.

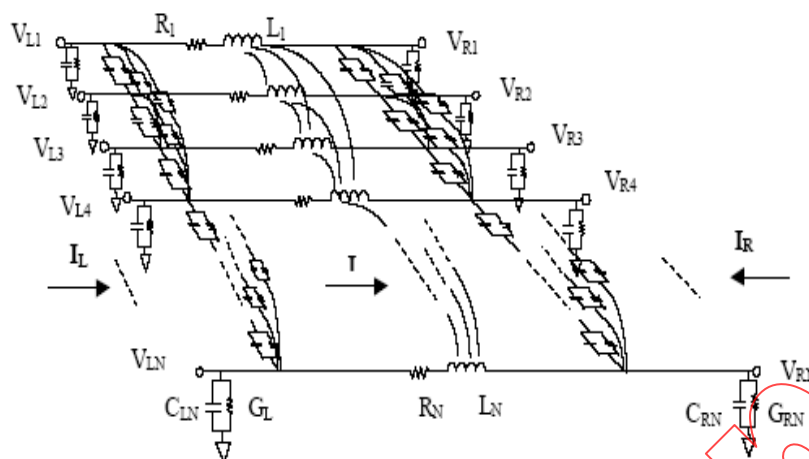


Figure A.7 – Modèle d'élément à constantes localisées d'un boîtier

Les informations nécessaires pour extraire les paramètres du boîtier et des liaisons sont énumérées ci-dessous:

- Le dessin mécanique du boîtier
- La taille de la puce et la taille de la cavité
- Le schéma des liaisons
- Le type de liaison (diamètre, matériau)
- La distance jusqu'au plan de masse

Un exemple de liste d'interconnexions de boîtier est indiqué ci-dessous.

```
.subckt package ET0 ET1 ET2 ... ETn IT0 IT1 IT2 ... ITn gnd
```

#Définition de la partie de grille de connexion

L1	ET0	n00	1,820e-09
R1	n01	n02	2,408e-01
C1	n00	gnd	1e-12
L2	ET1	n10	1,828e-09
R2	n11	n12	2,434e-01
C2	n10	gnd	1e-12
L3	ET2	n20	1,820e-09
R3	n21	n22	2,408e-01
C3	n20	gnd	1e-12
...			
K01	0,2597		
K12	0,1089		
K02	0,0612		
...			
C01	n00	n10	0,5e-12
C12	n10	n20	0,5e-12
C02	n00	n20	0,2e-12
...			

Définition de la partie de liaison par fil

L1wb	ET1	IT10	1,820e-09
R1wb	IT10	IT1	2,408e-01
L2wb	ET2	IT20	1,828e-09
R2wb	IT20	IT2	2,434e-01
...			
K01wb	0,2597		
K12wb	0,1089		
K02wb	0,0612		
...			

```
.ends package
```

La Figure A.8 illustre la liste d'interconnexions précédente et montre la façon dont les différents éléments du boîtier ont été modélisés. On peut également prendre en compte une autre architecture, en particulier pour les nouvelles solutions de mise en boîtier.

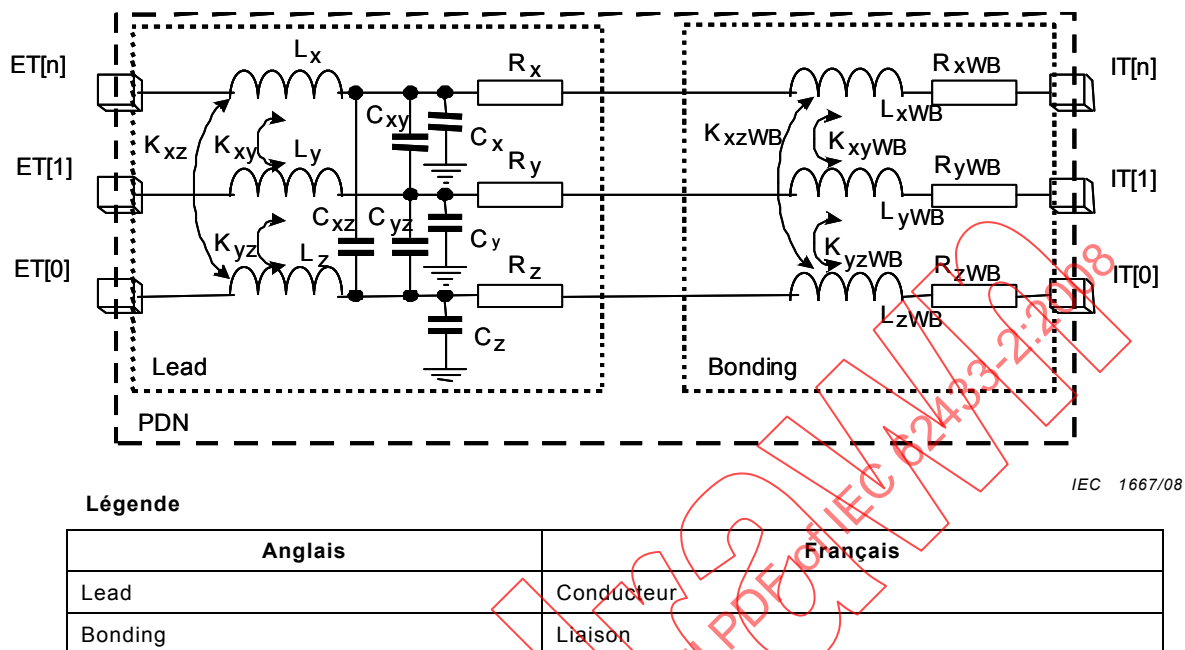


Figure A.8 – Structure des circuits de la liste d'interconnexions

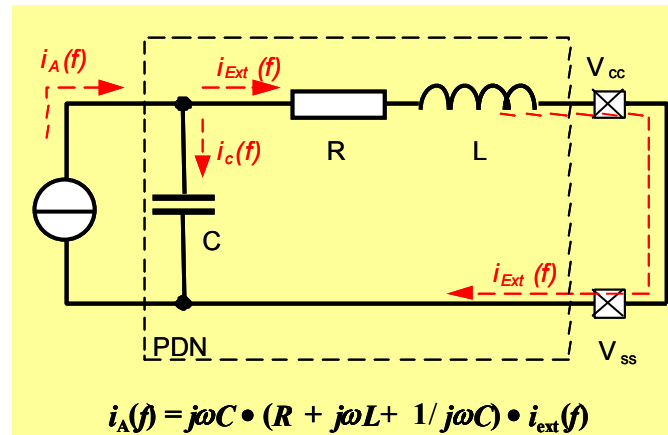
A.4 Génération des paramètres de modèle à partir des mesures

A.4.1 Paramètres d'IA

Le composant d'IA est décrit par un paramètre appelé i_A . La plupart du temps, ce paramètre n'est pas accessible directement. La fonction de transfert PDN (f) a déjà été extraite et le courant circulant extérieurement, $i_{Ext}(t)$, a été mesuré. En fonction de l'analyse qui est nécessaire, on peut décrire i_A dans le domaine temporel ou dans le domaine fréquentiel. Ceci dépend également du fait que i_{Ext} est mesuré dans le domaine temporel ou dans le domaine fréquentiel.

- Domaine fréquentiel

$i_{Ext}(f)$ est décrit en fréquence et $i_A(f)$ est modélisé directement en utilisant la formule exprimée à la Figure A.9. Sur cette figure, on suppose que l'alimentation est court-circuitée de manière équivalente dans la bande de fréquences à laquelle on s'intéresse.



IEC 1668/08

Figure A.9 – Principe du calcul d'IA

Dans le cas de plusieurs IA, on peut utiliser une forme matricielle comme représenté dans l'expression suivante:

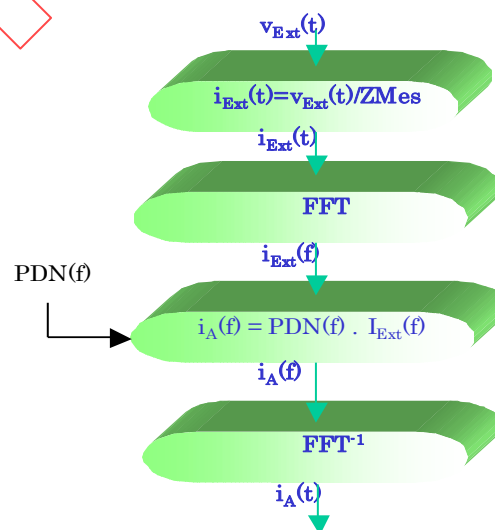
$$\begin{bmatrix} i_{A[n]} \\ \vdots \\ i_{A[1]} \end{bmatrix} = [PDN] \cdot \begin{bmatrix} i_{Ext[n]} \\ \vdots \\ i_{Ext[1]} \end{bmatrix} \quad (A.1)$$

où PDN est la fonction de transfert entre $i_{A[n]}$ et $i_{Ext[n]}$.

- Domaine temporel

$i_{Ext}(t)$ est mesuré dans le domaine temporel et $i_A(t)$ doit également être décrit dans le domaine temporel. On utilise dans ce cas la convolution de la transformée de Fourier discrète.

La Figure A.10 représente le processus de DFT ou de FFT utilisé pour générer le composant d'IA.



IEC 1669/08

Figure A.10 – Processus impliqué pour modéliser $i_A(t)$

On mesure d'abord $i_{Ext}(t)$ en utilisant la proposition de la CEI 61967-4 ou d'autres techniques (sonde magnétique, sonde en ferrite,...). La Figure A.11 présente un exemple dans le domaine temporel.

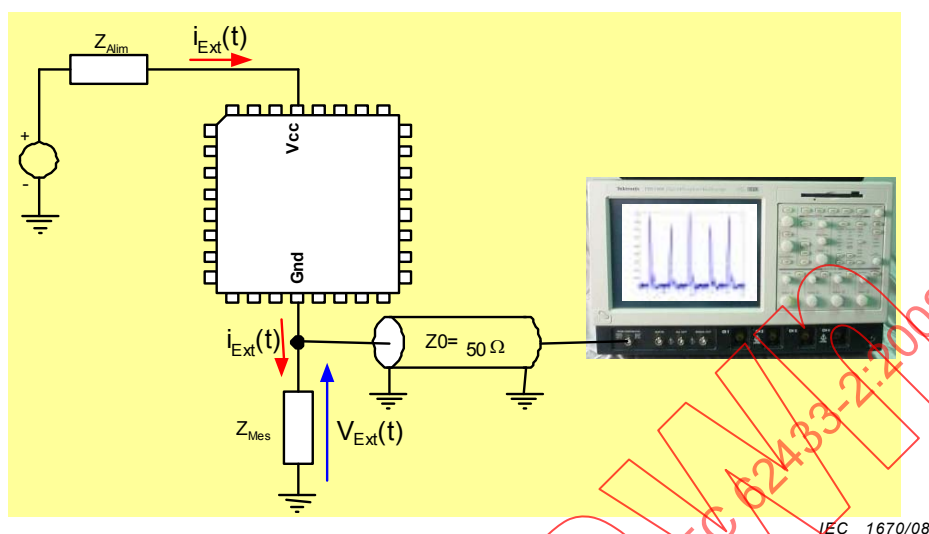


Figure A.11 – $i_{Ext}(t)$ mesuré en utilisant la CEI 61967-4

Deuxièmement, on applique une DFT de FFT pour convertir $i_{Ext}(t)$ dans le domaine fréquentiel. Troisièmement, on utilise l'expression précédente indiquée ci-dessus pour calculer i_A dans le domaine fréquentiel. On applique enfin la transformation de Fourier discrète inverse pour exprimer $i_A(t)$ dans les descriptions $i_A(t)$ et $i_{Ext}(t)$ des tracés dans le domaine temporel, voir Figure A.12. Il convient de noter que l'on doit prendre certaines précautions lorsqu'on utilise une transformée de Fourier ou un processus de convolution pour éviter de modifier le modèle par des informations non désirées dues à l'algorithme de la transformation de Fourier, telles que la fuite de spectre. La fenêtre d'observation doit être choisie de manière à comporter un signal périodique. Il convient de régler la période d'échantillonnage de l'oscilloscope pour donner une exactitude suffisante à la transformée de Fourier, en fonction de ce qui doit être observé.

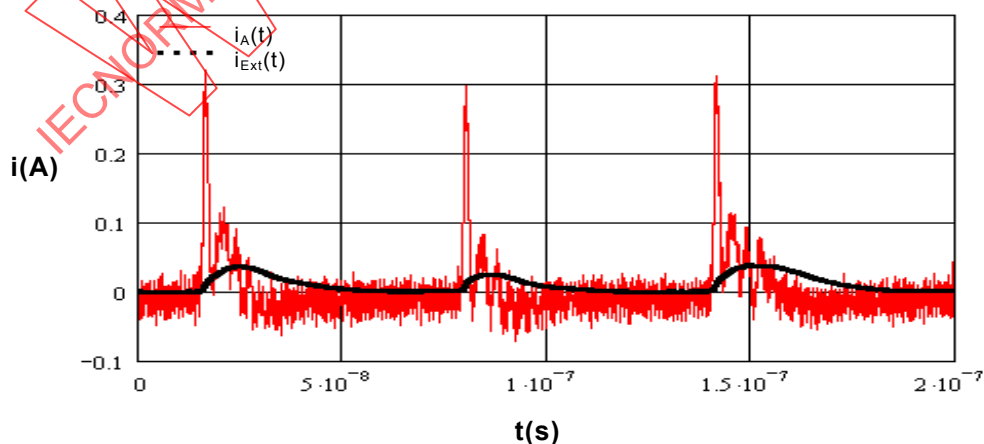


Figure A.12 – Profils de $i_A(t)$ et $i_{Ext}(t)$

Dans le cas de paires de broches multiples, la mesure peut être effectuée séparément sur chaque paire, puis additionnée pour obtenir le courant total. La méthodologie décrite ci-

dessus peut être appliquée. Le format de i_A dépend des outils de simulation. Un format courant utilisé par la plupart des outils est le format ASCII, décrivant i_A au moyen de la fréquence et de son amplitude ou du temps et de son niveau.

A.4.2 Paramètres du PDN

A.4.2.1 Vue d'ensemble

Un analyseur de réseau vectoriel (VNA) et une carte d'essai sont utilisés pour extraire par une mesure les paramètres du composant de PDN. La carte d'essai doit d'abord être modélisée pour extraire la mesure et pour obtenir les paramètres du dispositif. La plage d'impédances de ces paramètres se situe généralement dans la gamme de 0,05 Ω à 500 Ω et on utilise l'analyse de S_{11} .

$$Z_x = -25 \cdot \frac{1 + S_{11}}{S_{11}} \quad (\text{A.2})$$

Malheureusement, lorsqu'on effectue l'analyse de S_{11} , on obtient 10 % de la précision lorsque la plage d'impédances est comprise entre 5 Ω et 500 Ω , ce qui ne correspond pas aux exigences précédentes.

Une technique [1]¹ dérivée de la mesure de S_{21} est proposée pour obtenir une meilleure adaptation de cette plage. En se fondant sur la connaissance de la mesure de S_{21} , on peut déterminer l'impédance inconnue en utilisant l'expression suivante:

$$Z_x = 25 \cdot \frac{S_{21}}{1 - S_{21}} \quad (\text{A.3})$$

Avec cette technique, on obtient une exactitude de 10 % lorsque l'impédance se situe dans la plage de 0,5 Ω à 500 Ω . Si une exactitude supérieure est nécessaire, il convient d'utiliser un pont d'impédance RF.

A.4.2.2 Conditions de polarisation

Plusieurs configurations sont nécessaires pour extraire tous les paramètres du PDN et il est nécessaire de relier les broches d'alimentation à la masse ou au rail d'alimentation. Pour y parvenir, tous les paramètres du PDN sont extraits pendant que l'alimentation est maintenue inactive. Les condensateurs de découplage internes (numérique, analogique, d'E/S,...) sont constitués de la somme de tous les condensateurs parasites des transistors CMOS et la valeur dépend de la tension d'alimentation. Seuls ces paramètres du PDN sont donc extraits pendant que l'alimentation est active. En général, lorsqu'on utilise un VNA, un té de polarisation est incorporé et le VNA fournit l'alimentation à la puce en cours de mesure. Si l'on utilise un autre matériel de mesure, on doit insérer un té de polarisation externe entre l'alimentation et le dispositif.

A.4.2.3 Technique de mesure et processus d'extraction

A.4.2.3.1 Généralités

Avant d'extraire les paramètres du PDN et puisque l'on utilise un montage de mesure matériel, un processus d'extraction élimine tous les éléments parasites de ce montage. Le montage matériel est constitué d'un appareil de mesure tel qu'un VNA, un pont d'impédance RF, une sonde de mesure et le dispositif, comme illustré à la Figure A.13.

¹ Les chiffres entre crochets se réfèrent à la Bibliographie.